

Gerhard Eigelsreiter

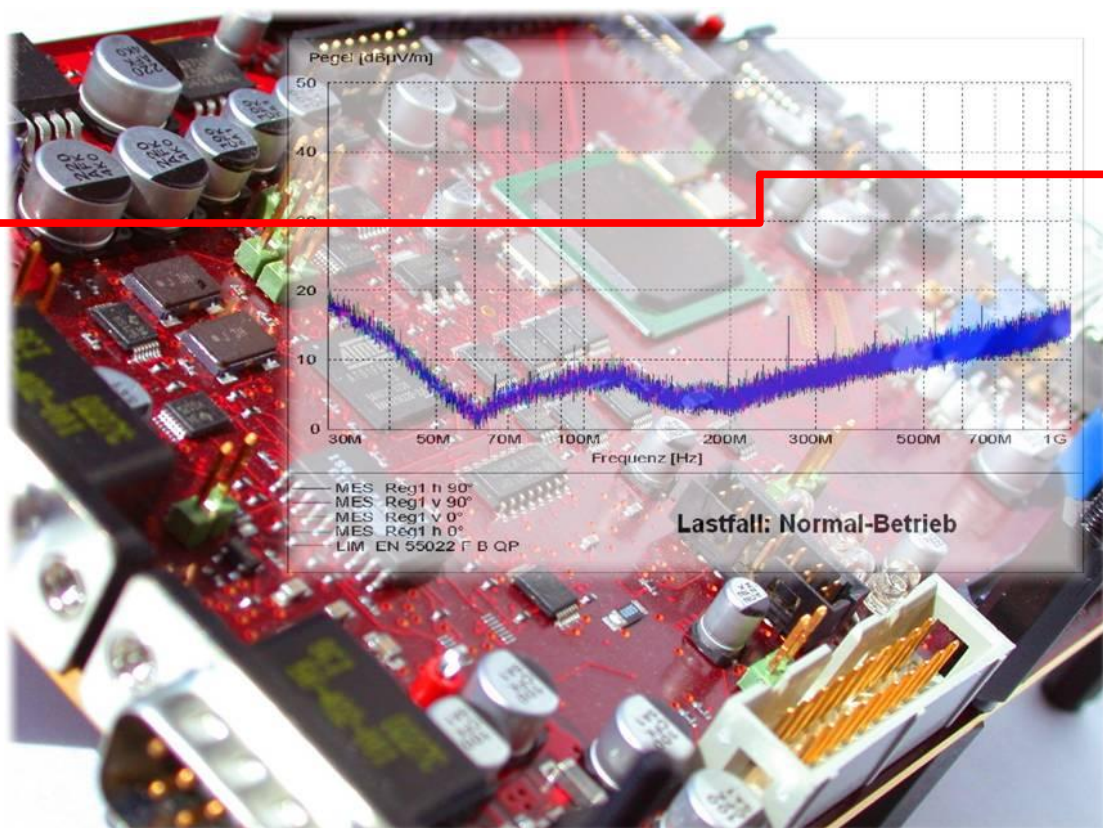
Unit[^]el

Seminar

LP2010 R3

Design und Realisierung von
High-Speed-Hardware

Das Seminar zur erfolgreichen Serie
"Die Leiterplatte 2010"



Was leistet das "LP2010"- Seminar und wer wird angesprochen?

Die Entwicklung bei den heutigen aktiven elektronischen Bauteilkomponenten führt zu hoch getakteten CPUs und zu Signalfanken, die im Bruchteil einer Nanosekunde ansteigen.

Die Aufgabe vieler zukünftiger Applikationen wird die ultraschnelle Verarbeitung von Datenvolumina im Gigabit-Bereich sein. Das Seminar "LP2010" erläutert, welche notwendigen Voraussetzungen erfüllt sein müssen, damit eine erfolgreiche Lösung dieser Aufgabe möglich ist. Angesprochen werden mit dem Seminar vornehmlich Schaltungsentwickler/innen und CAD-Designer/innen.

Vor dem Hintergrund der geänderten physikalischen Rahmenbedingungen werden konkrete Strategien für die Konzeptionierung von Hochgeschwindigkeitsplattformen für die Gigabit-Technik vorgestellt.

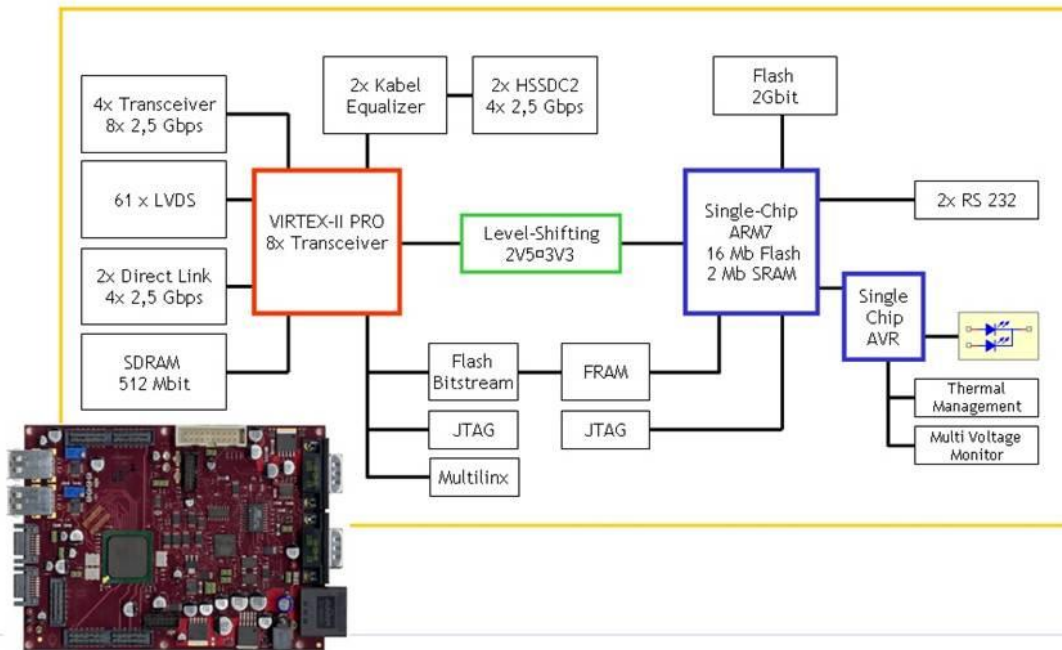
Schwerpunkte sind die systematische Auswahl der Bauelemente, das Leiterplattenlayout, die Eigenschaften impedanzdefinierter Leiterbahnen, die äußere und innere EMV, die Integrität von Signalen und Stromversorgungssystemen sowie erprobte Multilayer-Aufbauten für diese Aufgabenstellungen.

Die Beispiele im Seminar basieren auf erfolgreichen Baugruppen der Firma unit[^]el, die sich in der täglichen Anwendung bewiesen haben. Von der Fachzeitschrift ELEKTRONIKPRAXIS wurde bereits das CPU-Board "CERO" für die Veröffentlichung als "Leiterplatte 2005" ausgewählt. Das CPU-Board "meltemi" hat es als "Die Leiterplatte 2010" zu einem hohem Bekanntheitsgrad gebracht und ist in allen Details untersucht und für ausgezeichnet befunden worden.



meltemi Board 8S/12F-MCC (20 Lagen)
Funktion / Blockschaltbild

Die Leiterplatte 2010 – ein zukunftsweisendes Projekt



www.unitel.at

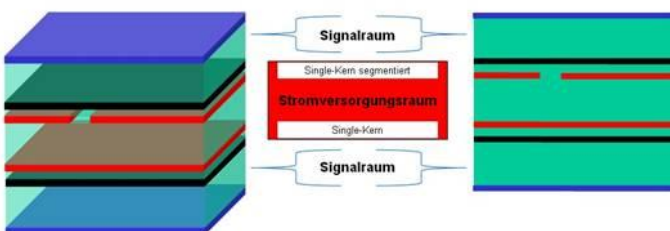
Folie 5

LP 2010

© by unit^{el} - IT Innovationen

meltemi - LP2010 / Blockschaltbild Aufbaukonzept für ein MCC (**M**ultifunktional **C**ircuit **C**arrier System) auf der Basis eines Virtex-Transceivers mit peripheren Funktionsblöcken. Transfer via LVDS-Leitungen. Single-Chip ARM7. Speichergruppen, Schnittstellen und Übertragungseigenschaften im GBit-Bereich.

Lagenaufbau: Element der MCC-Architektur
(Multi-funktionales Träger System)



Durch das gezielte Anordnen der Lagen werden Funktionsräume gebildet.

Multilayer-Architektur

Konzepte für die breitbandige Verarbeitung von Signalen. Aspekte der Konstruktion und des Leistungspotentials von MCCs.

Sorgfältige Aufteilung der Funktionen eines Multilayers in Stromversorgungsräume und in Signalmräume. Aufbauvorschlage.

Verwendete aktive Logik Familien

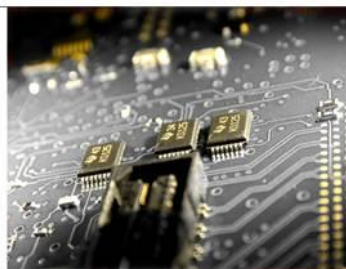
- **AVC**
 - Ausgelegt für 3.3/2.5V/1.8V Betriebsspannung
 - 3.3V I/O Toleranz
 - Maximale Signaldurchlaufzeit unter 2.0ns bei 2.5V
 - DOC – Dynamic Output Control controls over- and undershoots
 - +-12 mA Treiberstrom bei 3.3V Betriebsspannung, sowie
 - +- 8 mA bei 2.5V und +- 4 mA Treiberstrom bei 1.8V Betriebsspannung
 - Partial Power Down and Mixed-Voltage-Mode Data Communication
 - Verwendeter Chip: SN74AVCH8T245PWE4 von Texas Instruments

- **AUP**
 - Ausgelegt für Betriebsspannungen von 0.8V bis 3.6V
 - 3.6V I/O Toleranz
 - Eingangs-Hysterese – 250mV typisch bei 3.3V
 - Extrem niedriger Stromverbrauch
 - Verwendeter Chip: SN74AUP1G04DCKR von Texas Instruments

BauteilAuswahl 1 Spezifikation von Bauteilen. Erforderliche Einsatzbereiche. Einfluß und Folgen reduzierter Betriebsspannungen. Reduzierung der Flankensteilheit. Auswahl von Logikfamilien und Busschaltern. Aktive Terminierung von Signalleitungen. Reprogrammierbare Logik. Einflußnahme auf die Flankensteilheit per Software.

■ Glue-Logik und Mikroprozessor

Logikfamilienwahl - meltemi
 Aktive / Passive Komponenten
 CPU <-> MPU - meltemi
 Interne und externe Spannungsregelung
 Lagenaufbau- und Stromversorgungsentkopplung-I

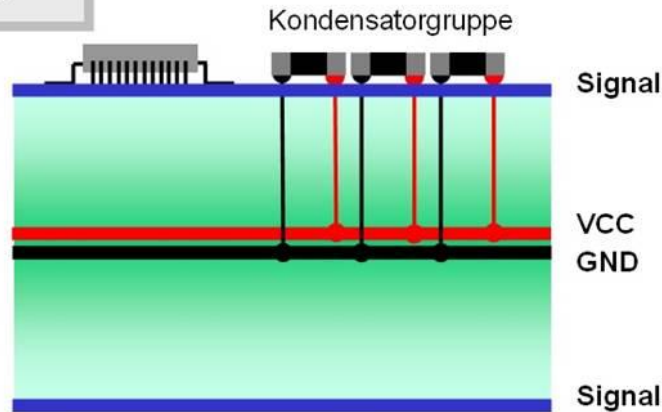


BauteilAuswahl 2

Auswahl der aktiven und passiven Komponenten. Abstimmung zwischen der CPU und MPU auf dem meltemi-Board. Vorgaben für die Bauteile zur Entkopplung der Stromversorgung. Interpretation von Leistungsangaben in Datenblättern.

Stromversorgungssystem: 4 Lagen-Multilayer (50µm)

Stützung: Ausreichend
Absorption: Gegeben

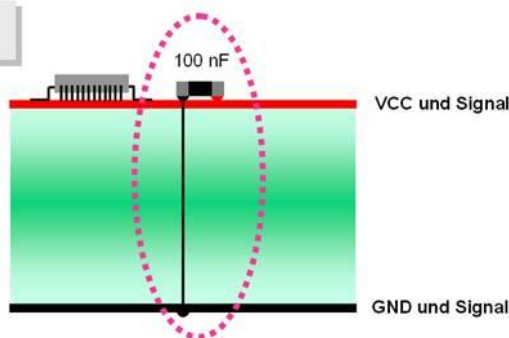


Erklärung: Dünne Laminate zwischen VCC und GND erhöhen die Flächenkapazität massiv. Absorption durch ausreichend kleinen Wellenwiderstand des VCC – GND Flächensystems (< 1 Ohm). Geforderte Breitbandigkeit nur in Kombination mit einer berechneten Kondensatorgruppe erzielbar.

Stromversorgung 1 Stromversorgungssysteme für Baugruppen. Strategien für die Stromversorgung durch den Aufbau von Multilayern. Vorteile in der Layoutgestaltung durch das Pluggen von Vias. Abschirmung von Leiterplattenbereichen durch die Metallisierung der Leiterplattenkanten ("Kantenkontaktierung").

Stromversorgungssystem: 2 Lagen-Board

Stützung: Keine
Absorption: Keine



Erklärung: In Folge zu hoher parasitärer Induktivitäten kann die von schnellen Halbleiter-ICs benötigte Ladung nicht zeitgerecht bereit gestellt werden.

Stromversorgung 2

Mängel in der Stromversorgung einfacher 2-Lagen-Boards. Der Einfluß parasitärer Induktivitäten auf die Stabilität der Schaltungsfunktion.

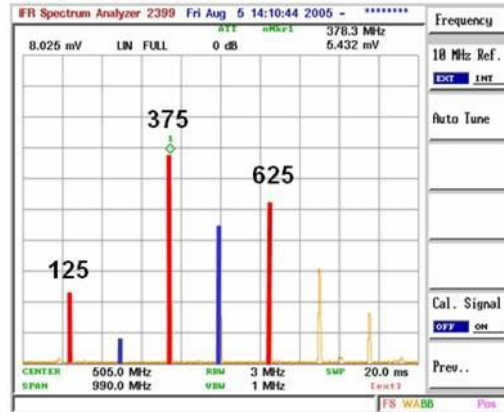
**FPGA-D26 125MHz 12mA-Slow
Spektrum - meltemi**

**FPGA-D26 125MHz 24mA-Fast
Spektrum - meltemi**

Grundfrequenz 125MHz

3. Harmonische 375MHz

5. Harmonische 625MHz

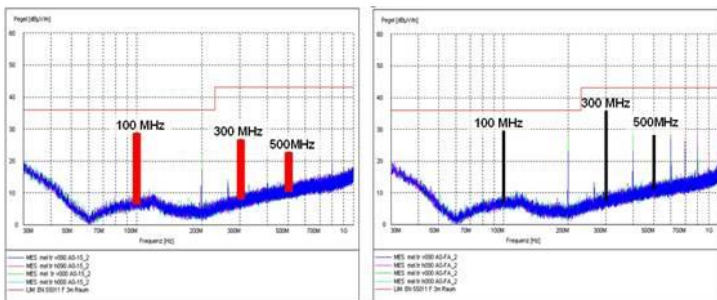


Spektrumanalyzer mit μ H-Sonde.
FPGA-IOB Einstellungen: Output Drive Strength -
12mA, Output Slew Rate - Slow, Clock 125MHz

Spektrumanalyzer mit μ H-Sonde.
Die μ H-Feldsonden Messwerte spiegeln die
erwarteten hohe Werte bei der 3., 4. und 5.
Harmonischen wieder.

Funktionsanalyse Technische Aspekte bei der Messung des Abstrahlverhaltens von High-Speed-Baugruppen. Die Betrachtung und die Auswertung diskreter Frequenzen. Gegenüberstellung von Taktrate und Bandbreite mit Blick auf die Hochgeschwindigkeitseigenschaften einer Baugruppe. Diskussion kritischer Frequenzbereiche.

EMV-Prüfhalle / Auswirkung der Flankensteilheit



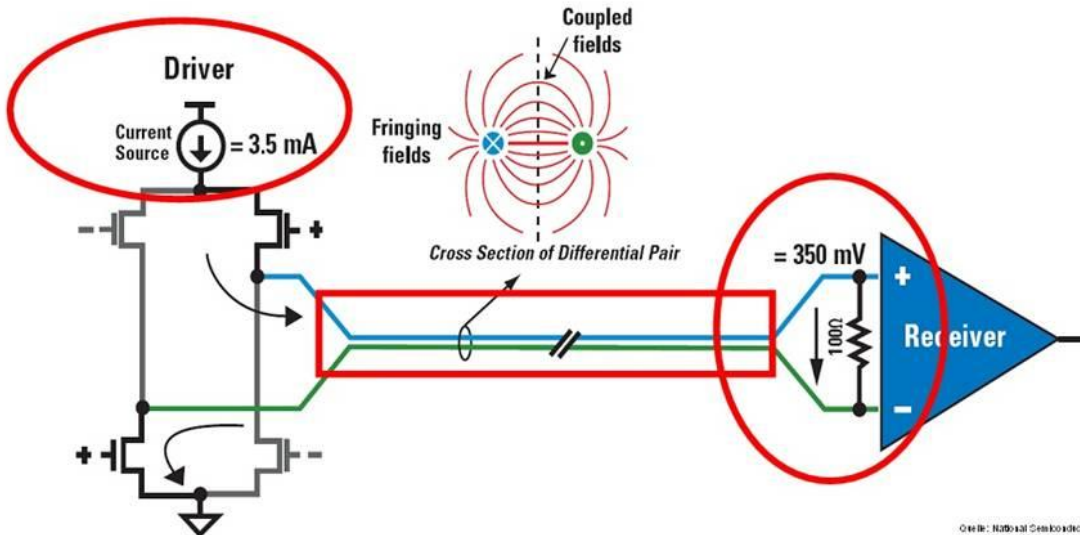
EMV Prüfhalle: Zur besseren Darstellung erfolgten die Messungen in der EMV-Halle mit 16 parallel geschalteten Datenleitungen. FPGA-IOB Einstellungen für 16 Datenleitungen: Output Drive Strength - 8mA, Output Slew Rate - Slow, Clock 100MHz

EMV Prüfhalle: FPGA-IOB Einstellungen für 16 Datenleitungen: Output Drive Strength - 24mA, Output Slew Rate - Fast, Clock 100MHz. Deutlich gestiegene Werte sind bei den höheren Harmonischen festzustellen.

EMV-Messung

Allgemeine Vorgaben für die Durchführung von Messungen im EMV-Labor. Interpretation von Meßergebnissen in den unterschiedlichen Frequenzbereichen.

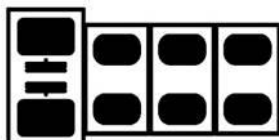
LVDS



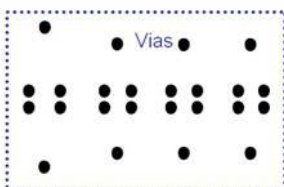
Diskussion der technischen Vorgaben an das CAD-Layout

Signalintegrität. Beachtung der internen Gatterlaufzeiten und der Signalübertragungseigenschaften von Leiterbahnen. Berechnung und Durchführung des Längenausgleichs bei differentiellen Signalen. LVDS-Verbindungen. Impedanz von Signalleitungen. Die USB-Schnittstelle.

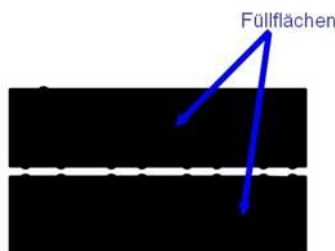
Kondensatorgruppe - Layout



C30 C31 C33 C32



Beispiel einer Kondensatorgruppe mit vier X7R-SMD-Kondensatoren: Bauform → 1x1206, 3x0402

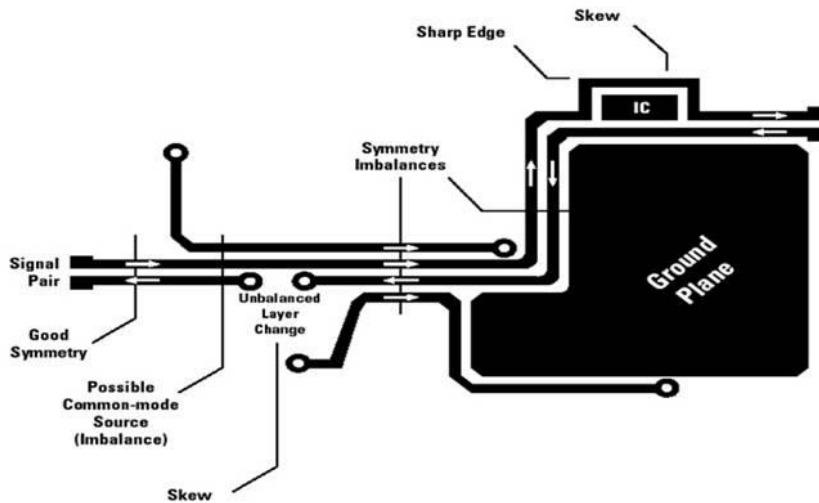


Breitbandentkopplung

Strategien für die Entkopplung der unterschiedlichen Stromversorgungen einer Baugruppe über gerechnete Kondensatorgruppen.

Layoutvorgaben für die Platzierung und die Anbindung der Kondensatoren über Vias an die Stromversorgungsflächen.

LVDS Layout-Richtlinien



Quelle: National Semiconductor

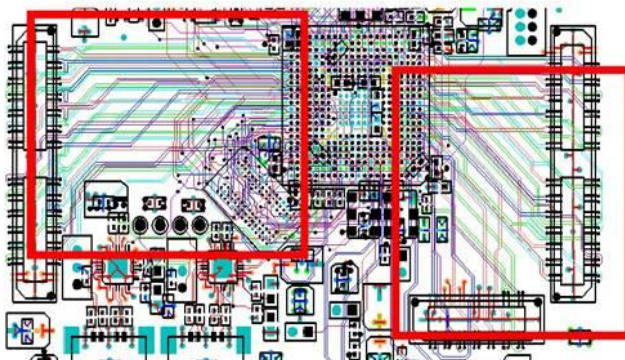
This PCB layout contains many sources of differential signal imbalance that will tend to increase electromagnetic radiation.

Ein "Gruppenfoto" der häufigsten Fehler in der differentiellen Leitungsführung.

Layout-Regeln zur Beachtung der Signalintegrität

Vermeidung unsymmetrischer Leiterbahnführung. Beachtung und Definition der GND-Bezüge für die Rücklaufströme in einer High-Speed-Umgebung. Erfolgreiche Maßnahmen für die Reduzierung der EMV-Emission. Aufbaustrategien für 6-, 8-, und 10-Lagen-Multilayer.

LVDS - Routing



61 LVDS Leitungspaare - meltemi 8S/12F-MCC

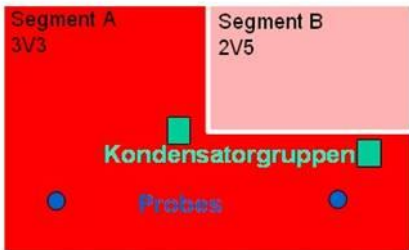
LVDS-Routing

Vorgaben für LVDS-Signalleitungen. Einbindung der Signallayer in das MCC-Konzept.

Strategien für das Entflechten integrierter FPGA-Bausteine.

Impedanzen (Single-Ended, differentiell).

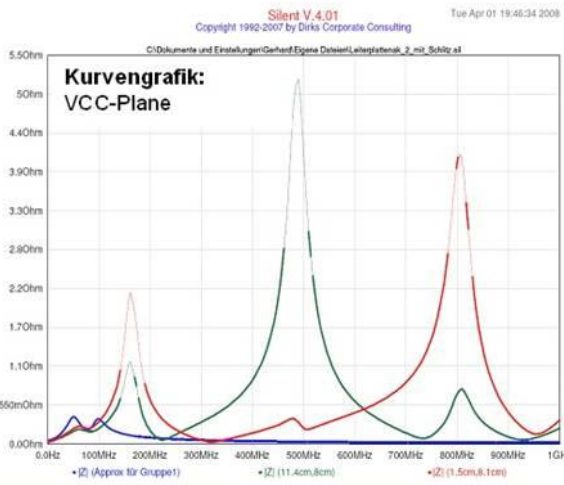
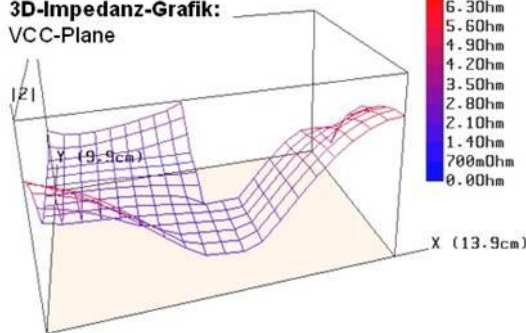
Lagenaufbau: Segmentierung der Stromversorgungsflächen III/VI



Kondensatorgruppenberechnung:
Problemstellung: Segment A bildet ein nicht erlaubtes Polygon (Sonderfall eines Schlitzes) !

Fläche 9,9cm x 13,9cm mit Segmentierung 4,9cm x 6,9cm

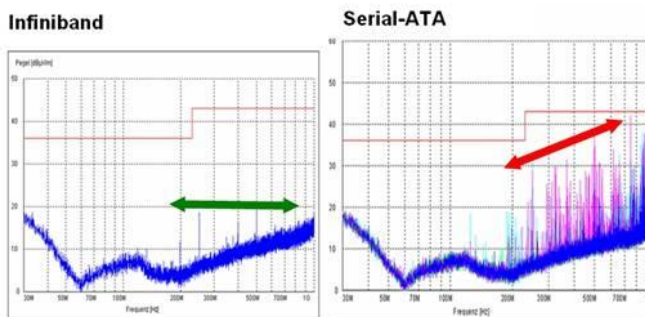
3D-Impedanz-Grafik:
VCC-Plane



Eigenschaften von Stromversorgungsflächen

Simulation, Berechnung und Geometrie niederimpedanter Stromversorgungssysteme. Stützung und Absorption. Nutzung der kapazitiven Eigenschaften flächig ausgelegter Powerplanes. Berücksichtigung des Wellenwiderstandes eines VCC-GND-Systems. Ergänzung der Entkopplungseigenschaften durch eine gerechnete Kondensatorgruppe.

Vergleich Infiniband und Serial-ATA EMV-Prüfhalle



Ohne weitere Maßnahmen (z.B. Kabel-Ferrite) ist die Abstrahlung bei Serial-ATA problematisch.

Vergleich von Infiniband und SATA-Kabel

Abstrahlverhalten bei der Nutzdatenübertragung im GByte-Bereich. Betrachtung kritischer Frequenzbänder.

Mögliche Ursachen für eine Diskontinuität der Signalqualität.

Ihr Referent



Gerhard Eigelsreiter, Inhaber von unit[^]el, (Graz) entwirft seit 1972 Mikroprozessor-System-Hardware auf Board Ebene. Vor dem Hintergrund der harten industriellen Anforderungen entwickelte er bereits 1981 die Applikationsplattform Versacom-I. Es folgten weitere SBC-Designs mit dem Schwerpunkt FPGAs.

Erfolgreich Grundlagenforschungen kombiniert mit den Erfahrungen aus zwanzigjähriger Praxis im Umgang mit FPGAs

bildeten die Basis für die Entwicklung von Hochgeschwindigkeits-Embedded-Hardware mit ausgeprägten EMV-Eigenschaften und charakteristischer, hoher funktionaler Stabilität.

Veröffentlichungen: Fachartikel in den Zeitschriften Design&Elektronik und ELEKTRONIKPRAXIS mit den Artikelserien "**Die Leiterplatte 2005**" und "**Die Leiterplatte 2010**", sowie das zweisprachige Sonderheft "Die Leiterplatte 2005".

Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das bedeutet eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Seminare und Teilnahmegebühren

Das Tagesseminar "**LP2010**" wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht auch als InHouse-Seminar zur Verfügung.

Freies Seminar

Die Durchführung liegt bei der LeiterplattenAkademie. Die Termine werden via Mailing, eMail, Internet oder Presseveröffentlichungen mitgeteilt. Die Veranstaltungsorte liegen in Deutschland, Österreich und der Schweiz. Die Teilnahmegebühr beträgt 520 € zzgl. MwSt. pro Person. Enthalten sind ausführliche Seminarunterlagen, das Teilnahmezertifikat, das Mittagessen und die Getränke.

Konferenz-Seminar

Wenn Sie "**LP2010**" auf Ihrer Konferenz anbieten möchten, dann sprechen Sie bitte unsere Seminarleitung an.

InHouse: Unser Seminar in Ihrem Haus

"**LP2010**" wird auch firmenintern referiert. Sie sparen Reise- und Übernachtungskosten, vor allem jedoch Zeit.

Für pauschal 2.900 € zzgl. MwSt. liefern wir Ihnen unsere Referenten "frei Haus". Eine individuelle Themengestaltung mit firmentypischen Schwerpunkten ist selbstverständlich möglich. Bitte stimmen Sie sich mit uns ab.

Sofern Sie oder ein anderer Mitarbeiter Ihres Unternehmens ein Seminar vorab in Augenschein nehmen möchten, erstatten wir Ihnen die Teilnahmegebühr bei Buchung einer InHouse-Veranstaltung innerhalb von drei Monaten nach dem Seminartermin.

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.



LeiterplattenAkademie

Die LeiterplattenAkademie

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

Schaltungsentwicklung

CAD-Design

CAM-Bearbeitung

Leiterplattentechnologie

Baugruppenproduktion

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.



LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
10555 Berlin

Telefon	(030) 34 35 18 99
Telefax	(030) 34 35 19 02
eMail	info@leiterplattenakademie.de
URL	www.leiterplattenakademie.de