LeiterplattenAkademie Fraunhofer ISIT

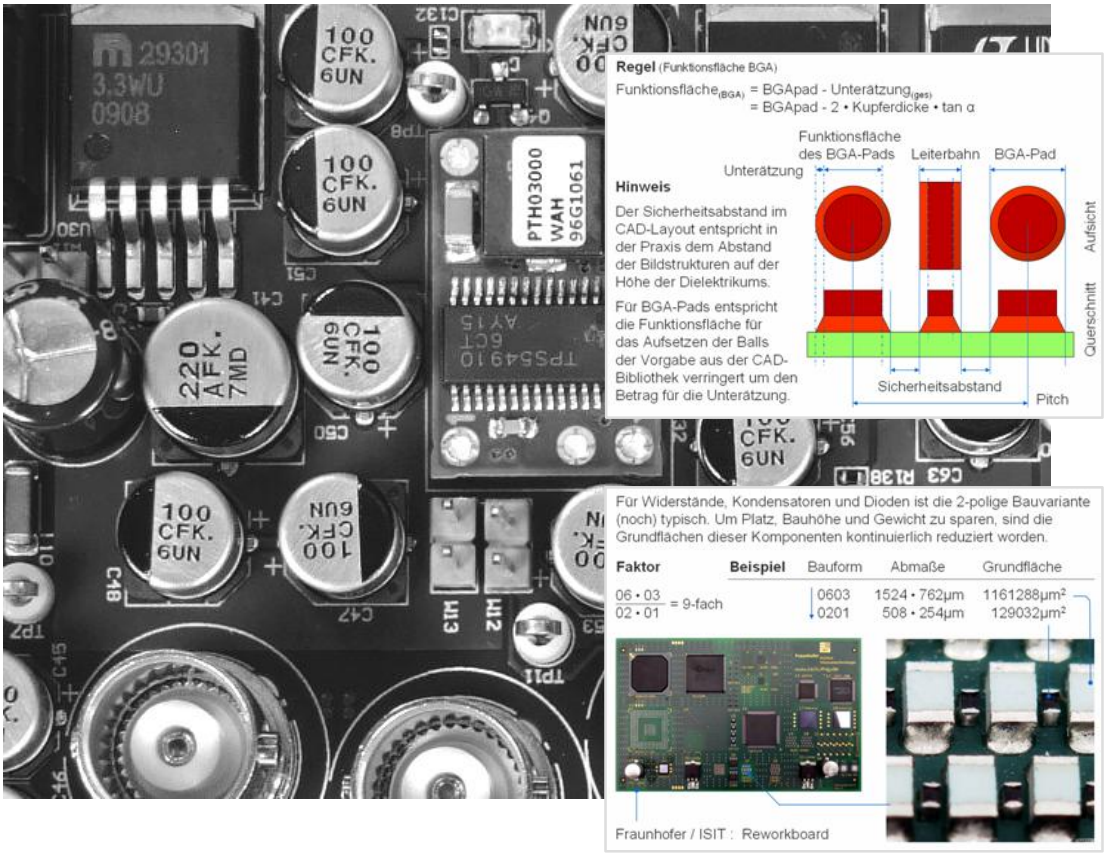
Helge Schimanski / Arnold Wiemers

2-Tages-Seminar und Tutorial

Leiterplatten 7

...vom CAD-Design zur Baugruppe

Strategien für die Konstruktion eines CAD-Designs. Designregeln für das Placement und das Routing elektronischer Komponenten. Technologien für die Bestückung und die Montage von Baugruppen. Interaktionen zwischen CAD-Design, Leiterplatten-fertigung und Baugruppenproduktion.



Wer wird mit dem Seminar/Tutorial "Leiterplatten 7 *…vom CAD-Design zur Baugruppe*" angesprochen ?

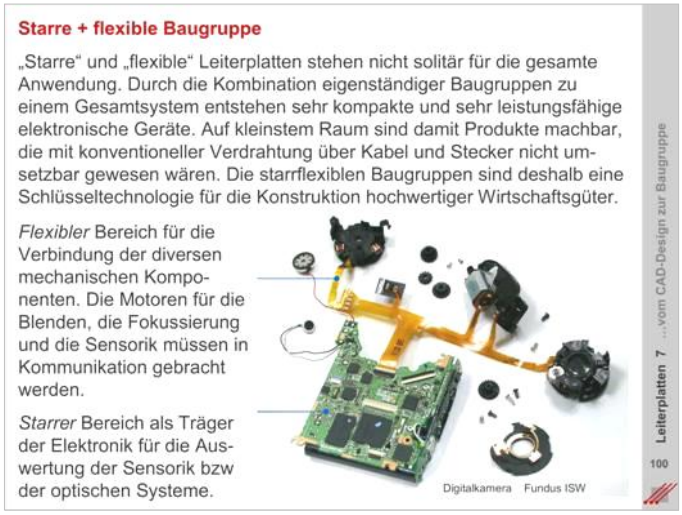
Die Möglichkeiten der Leiterplattentechnologie bestimmen die Freiräume bei der Konstruktion von CAD-Layouts und die langfristige zuverlässige Funktion von Baugruppen in Fahrzeugen, Anlagen und Maschinen.
Die Leiterplattentechnologie steht im Zentrum, ist aber verknüpft mit der Konstruktion des CAD-Layoutes und der Produktion von Baugruppen. Durch die Einbindung der Baugruppentechnologie ergibt sich ein gesamtheitliches Blick auf die Anforderungen an elektronische Baugruppen.

Die ***Konstrukteure*** elektronischer Schaltungen und die ***CAD-Designer*** *und* ***CAD-Designerinnen*** erkennen die Zusammenhänge zwischen der virtuellen CAD-Konstruktion und der Auswirkung auf die reale Produktion und Funktion von elektronischen Geräten. Die Teilnehmer lernen, vor dem Hintergrund gegebener Produktionstoleranzen die Vorgaben für die Routing-Constraints in der CAD-Bibliothek richtig zu hinterlegen.

"**Leiterplatten 7** ***…vom CAD-Design zur Baugruppe***" erläutert anschaulich die Leiterplattentechnologie und ihren nachhaltigen Einfluß auf die Konzeptionierung einer Baugruppe.
Sie lernen alle Fertigungsverfahren kennen, die für die Produktion elektronischer Baugruppen erforderlich sind. Die fachgerechte Analyse der Produktdokumentation und der Produktionsdaten erlaubt die verbindliche Einschätzung der Produzierbarkeit eines CAD-Designs.
Sie erlangen eine interdisziplinäre Kompetenz, die sie in den Stand versetzt, eigenständig über die Konstruktion wirtschaftlich effektiver und vorhersagbar zuverlässiger Elektronikprodukte entscheiden zu können.

Das Seminar ist auch für ***CAM-Bearbeiter/innen*** der LP-Hersteller von Bedeutung, weil es die Zusammenhänge zwischen CAD und Leiterplatte erläutert. Es fördert damit auch das partnerschaftliche Miteinander auf der Linie "CAD - CAM - Leiterplatte - Baugruppe".

Die übersichtliche Darstellung der Themen ist ebenso interessant für alle ***Entscheidungsträger im Bereich Design und Leiterplatte***, deren Aufgabe es ist, das Produkt "Baugruppe" führend und beratend zu begleiten.

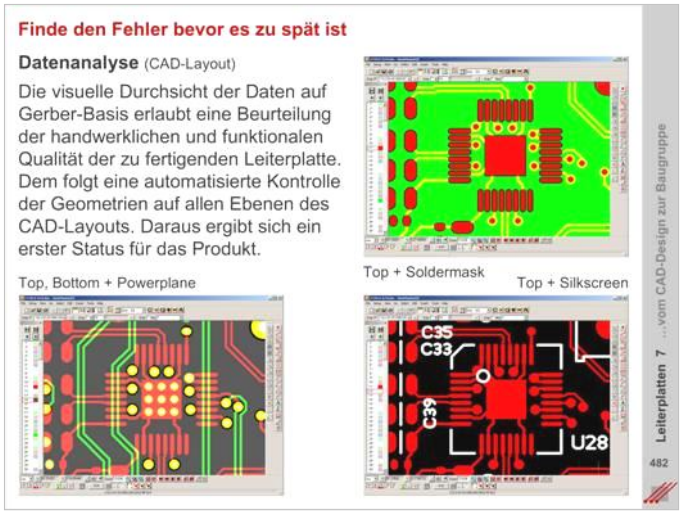


Baugruppen

Anwendungen von starren, flexiblen und starrflexiblen Leiterplatten bzw. Baugruppen für diverse Geräte-konzepte.
Flexible Leiterplatten als diskrete Übertragungsleitungen und als Quasi-Verbindungskabel für die Geräteverkabelung.

Klassifizierung von Baugruppen

Eine Übersicht zu den Strategien für die Montage elektronischer Komponenten auf einer Leiterplatte.
Löten, Bonden und Einpressen als prinzipielle Verfahren.
Wechselwirkungen zwischen den Basismaterialien, den Lagenaufbauten und der Montagetechnik.



CAM

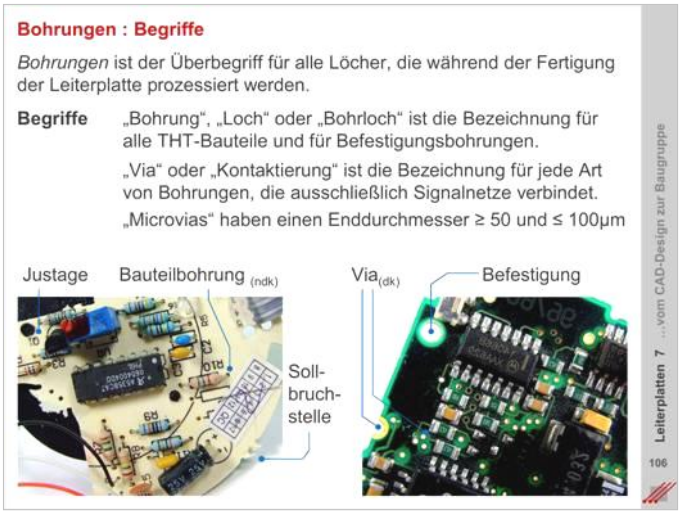
Anforderungen an die CAM-Bearbeitung von Daten aus dem CAD-Postprozeß.
Design-Rule-Check und Prüfung auf Vollständigkeit der Dokumentation.
Ergänzung fehlender Informationen und Daten für die fachgerechte Produktion von Leiterplatten.

CAD-Bibliothek

Allgemeine Regeln für die Anlage von Bauteilen in der Bibliothek von CAD-Systemen.
Routing-Constraints mit Beachtung der Vorgaben für eine problemfreie Bestückung der Baugruppe.

Padstacks

Padstacks als elementare Vorgabe für geometrische Ausprägung von Vias und Lötflächen.
"Design for Manufacturing" auf Bibliotheksniveau für ein fertigungsgerechtes und kostenoptimiertes CAD-Layout aus der Perspektive der Elektronikfertigung.



Bohrklassen

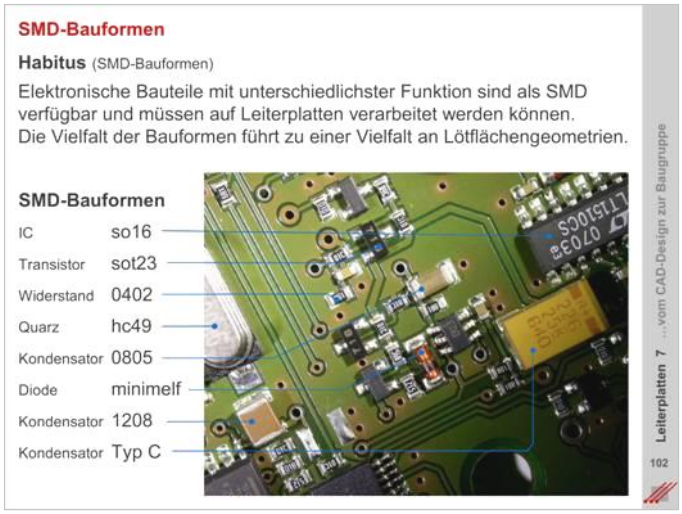
Erläuterung der unterschiedlichen Bohrklassen und Bohrtypen, die bei der Konstruktion einer Baugruppe eingesetzt werden können.
Justagebohrungen für die Montage im Gehäuse, Verdrehschutz für die Bestückung. Varianten für dk- sowie Blind- und Buried Vias.

Logistik

Einblick in die Komplexität des Fertigungsprozesses von Leiterplatten und Baugruppen. Informationen zur Individualität der Produktionsabläufe mit unterschiedlicher technischer Anforderung. Dokumentation von Fertigungsverfahren.

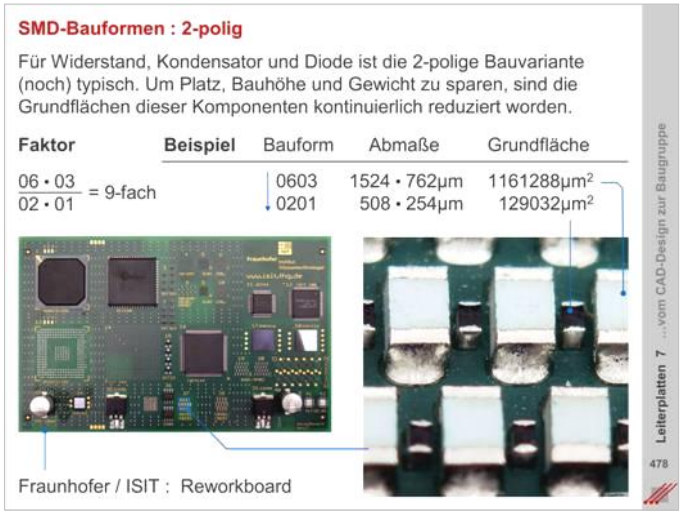
Baugruppen

THT- und SMT-Baugruppen. Strategien für die Bestückung. Auswirkungen der Misch- und doppelseitigen Bestückung auf die langfristige Qualität der Leiterplatte. Bauelementetrends für passive und aktive Bauelemente. Handling und Fehlermechanismen.



Allgemeine Bauformen

THD und SMD-Komponenten. Gehäuseformen und Abmaße für elektronische und mechanische Bauteile. Standardisierte Grundflächen. Routingempfehlungen. Rastermaße und (Pitch) Pinabstände für alle gängigen Komponenten.



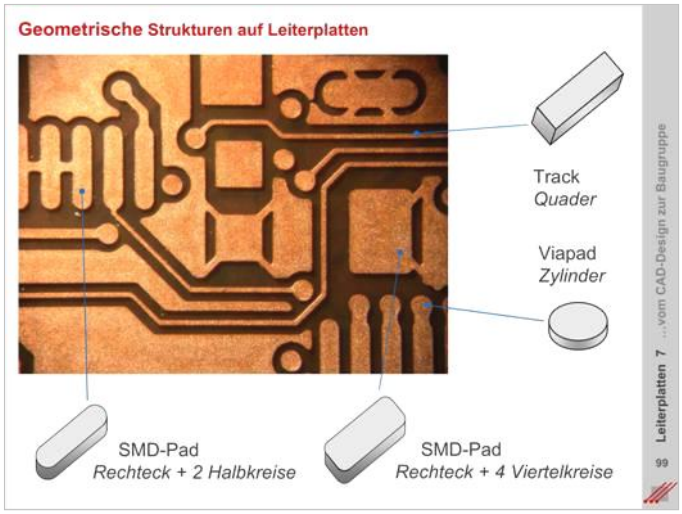
2-polige Bauformen

Quaderförmige Grundformen und Bezeichnungssystematik für 2-polige SMD-Bauelemente. Handling und Logistik von Komponenten.

Spezielle Bauformen

Zylinderförmige Bauformen für die senkrechte Montage (Elektrolytkondensatoren) oder für die horizontale Montage (Dioden).

Informationen zum Aufbau und zur Fertigung von Bauelementen.



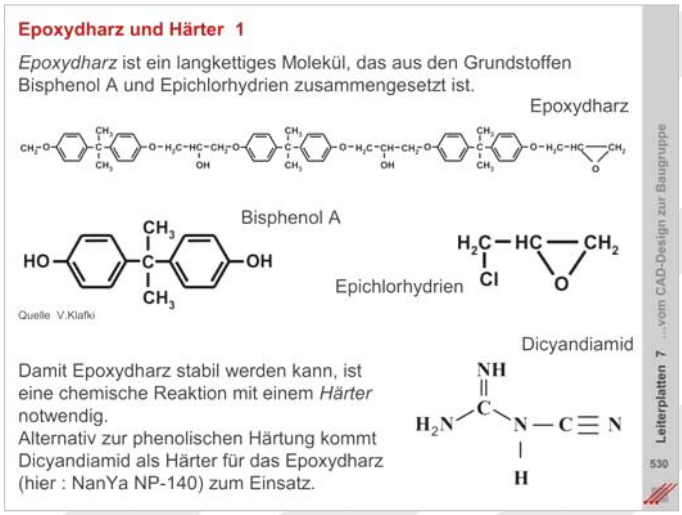
Geometrien

Allgemeine Analysen zur expliziten Berechenbarkeit von Geometrien auf Leiterplatten.

Zerlegung des Leiterbildes auf elementare geometrische Grundformen.

Basismaterial

Basismaterialien für starre, flexible und starrflexible ein- und doppelseitige Leiterplatten bis hin zu hochlagigen Multilayern.
Eine Übersicht zu diversen Sondermaterialien.
Basisinformationen zu Füllstoffen, Harzen und Trägergeweben.



Chemie von Basismaterial

Grundstoffe für die Produktion von FR4-Material. Harzsysteme und Härter.
Chemische Substrate für den Aufbau von Basismaterialien.

Verarbeitbarkeit von Baugruppen.

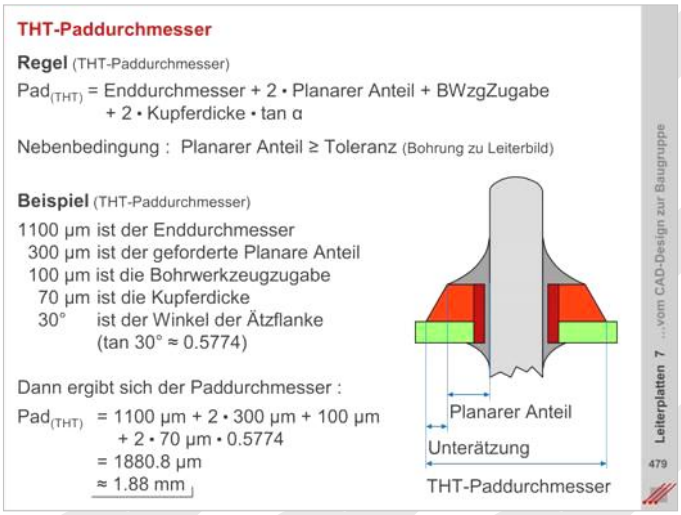
Lagenaufbau

Dokumentation der Basismaterialien und der Aufbaustrategie für ein- und doppelseitige Leiterplatten und Multilayer.

Vorgaben für die zuverlässige Produzierbarkeit von Baugruppen.

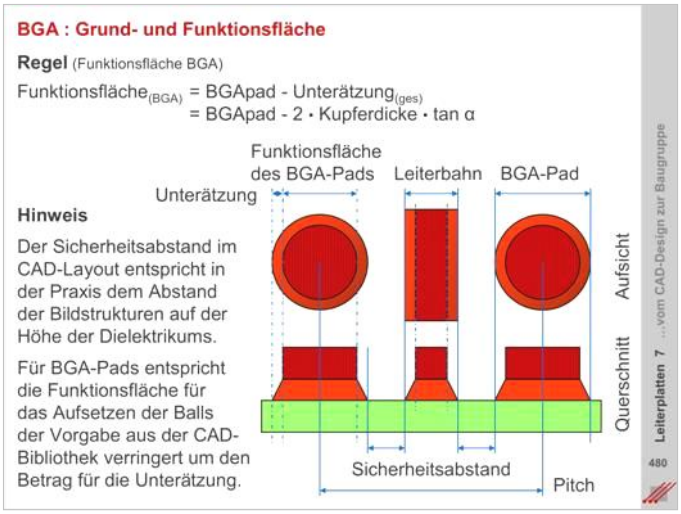
Baugruppenproduktion

Galvanische und Chemische Oberflächen für das Löten elektronischer Baugruppen.
Lötmetallurgie, Lötoberflächen, Lötwärmebelastung und -beständigkeit von Leiterplatten und Bauelementen. Prozeßgrenzen, Lötverfahren und Lötprofile (Reflow, Selektiv, Welle). Rework von Baugruppen.



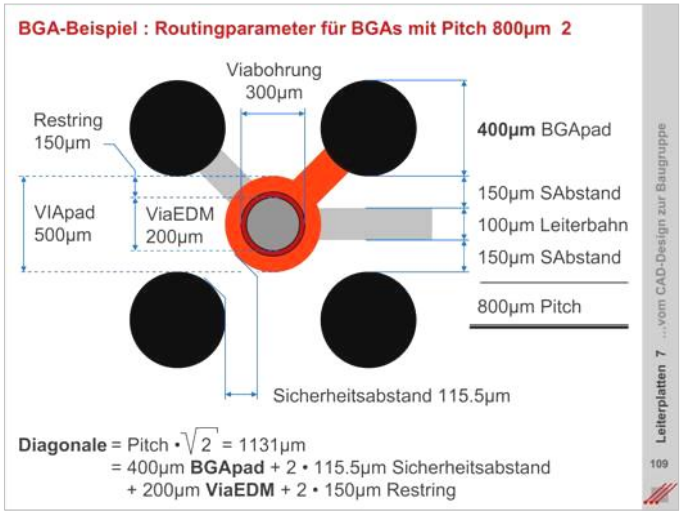
Paddefinitionen

Vorgaben und Regeln für die Geometrie von Lötflächen im Padstack der CAD-Bibliothek.
Praktische Berechnung von Restringen für das Löten von THT-Bauteilen auf der Basis der Toleranzraumbetrachtung.



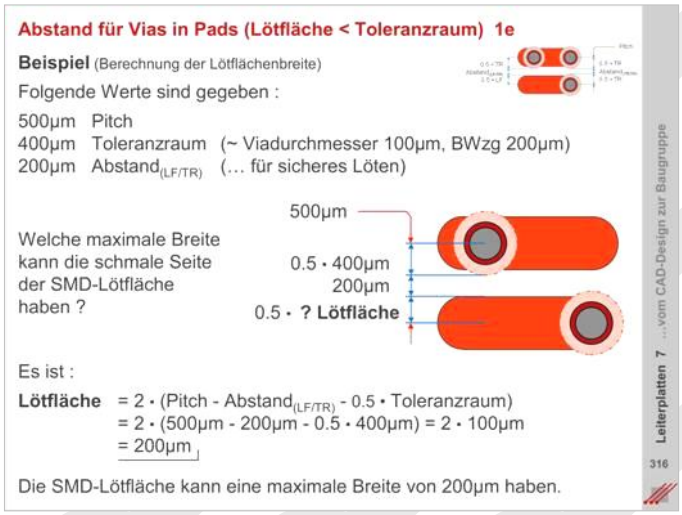
BGA-Pads

Ermittlung der Funktionsfläche von BGA-Pads unter Berücksichtigung der Funktionsfläche nach dem Unterätzen des Leiterbildes.
Mindestabstände zwischen den Pads von BGAs.
Querschnittsgeometrien als Maß für eine Zuverlässigkeitsanalyse.



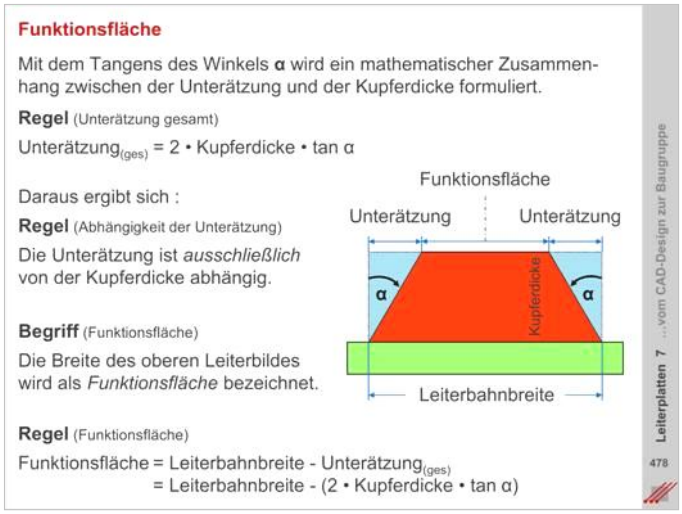
Konstruktionsregeln für BGAs

Allgemeine Designprinzipien. Elementare Geometrien für die Konstruktion der BGA-Padstacks in der Bibliothek des CAD-Systems. Berechnung von Paddurchmesser, Sicherheitsabstand, Fan-Out-Via, Viadurchmesser und Leiterbahnbreite.



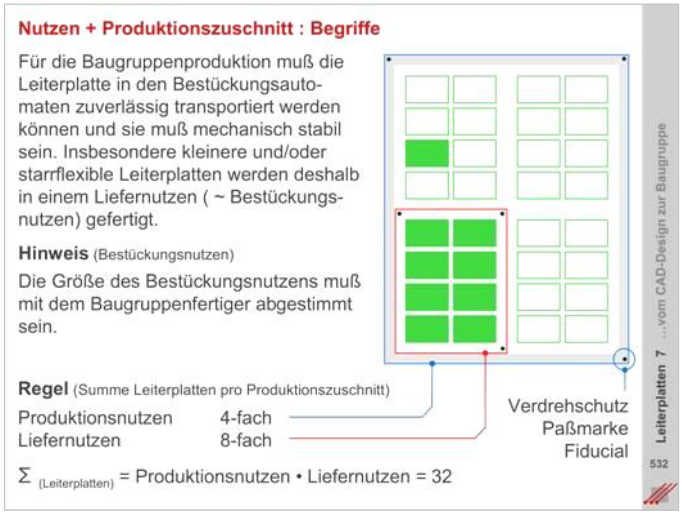
Konstruktionsregeln für VIPs

Kalkulation der Geometrien für ein spezielles Routing im CAD-Layout. Berechnung von Abständen, Vias und Lötflächen für die Routingstrategie mit VIPs (i.e. ViasInPads). Erläuternde Beispielrechnungen und Übungsaufgaben für das Selbststudium.



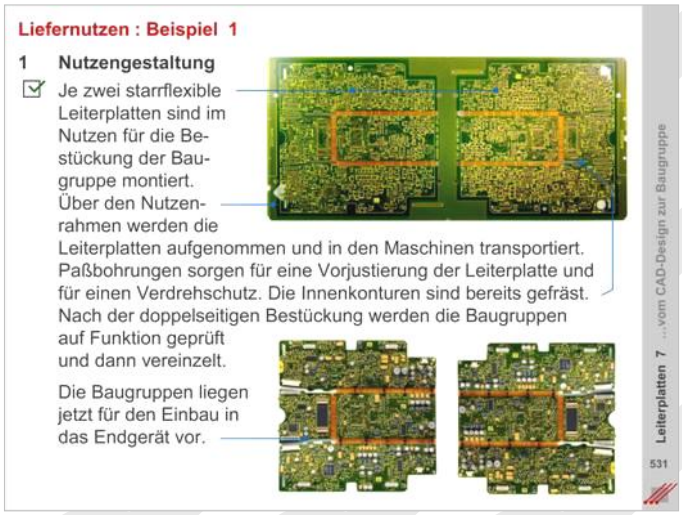
Funktionsfläche

Die Abhängigkeit der Funktionsfläche vom Produktionsprozeß der Leiterplatte als entscheidende Größe für die verbindliche Vorhersage eines qualitativ hochwertigen Lötprozesses.
Die Rückätzung als Maß für die Qualität einer Leiterplatte.



Bestückungsnutzen

Die Nutzengestaltung unter dem Gesichtspunkt einer effektiven und kostenoptimierten Produktion von Leiterplatten und Baugruppen.
Empfohlene Nutzenformate.
Hinweise zur Ermittlung preiswerter Leiterplattenformate.



Nutzengestaltung

Geometrische Anforderungen an die Bestückbarkeit von Leiterplattennutzen.
Strategien für die Gestaltung von Bestückungsnutzen für starre und starrflexible Leiterplatten respektive Baugruppen.

Verifikation

Bewertung der finalen Prüfbarkeit von Leiterplatten.
Durch automatische Prüfungen nicht detektierbare Mängel auf Leiterplatten.
Der Einfluß qualitativer Fehler auf die langfristige Zuverlässigkeit von Baugruppen.

Automatisch nicht prüfbare Strukturen : Benetzungsfehler

Benetzungsfehler sind meistens die Folge einer Kontamination des Kupfers auf der Leiterplattenoberfläche. Die Endoberfläche (~ "Finish") kann dann keine zuverlässig haftende Verbindung mit der Kupferoberfläche eingehen.
Der Kontrast der unterschiedlichen Oberflächen auf dem Pad reicht nicht aus, um diesen Fehler mit dem AOI-Automaten erkennen zu können.
Weil die Oberfläche fast immer elektrisch leitfähig bleibt, wird die unvollständige Benetzbarkeit beim elektronischen Test mit einem Nadeladapter ebenfalls nicht erkannt.

Quelle : Susanne Grube (ILFA)

Beispiel

Ursprüngliche Kupferoberfläche auf der Leiterplatte vor dem Prozessieren des Hot-Air-Levelings

Leiterplatten 7 ...vom CAD-Design zur Baugruppe
480

Verifikation

Analyseverfahren und Untersuchungsmethodik. Bleifreie Lötstellen. Laufende Qualitätskontrollen. AOI-Inspizierbarkeit. Voids. Verfügbare Prüfmethoden. Grenzen und Möglichkeiten. Bewertung von Fehlerbilder.

Analyse der Baugruppenspezifikation

Die CAM des Leiterplattenherstellers ist an der Schnittstelle zwischen der virtuellen CAD-Konstruktion und der realen Fertigung der Leiterplatte und nachfolgend der Baugruppe. Mit der Produktion der Leiterplatte werden alle Geometrien festgelegt, mit denen der Baugruppenproduzent dann *später* zurechtkommen muß. Die Analyse der stabilen, kostengünstigen und zuverlässigen Produzierbarkeit der Baugruppe *muß* deshalb von der CAM des Leiterplattenherstellers übernommen werden.

Beispiel

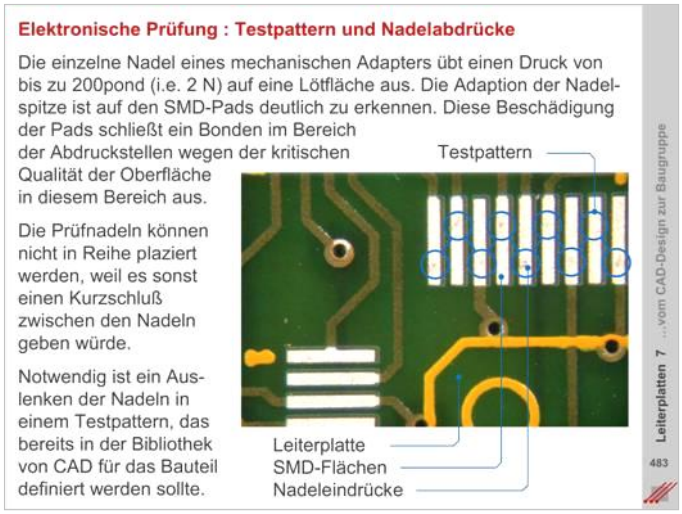
Die Lötflächen sollen eigentlich die gleiche Grundfläche haben. Durch die Unterlegung mit einer Massefläche sind die mittleren Lötflächen größer. Die Lotpaste wird dort anders aufschmelzen und das kann zu minderwertigen Lotverbindungen führen.

Für den Leiterplattenhersteller ist diese Geometrie aber völlig unproblematisch.

Leiterplatten 7 ...vom CAD-Design zur Baugruppe
479

Designvorgaben

Richtlinien für das CAD-Design. Paßmarken und Lötstopplack. Design for Rework. Empfehlungen für die Anordnung von Bauteilen. Der bestückungsgerechte Einsatz von Durchkontaktierungen. Wärmebelastung und -minimierung durch den Einsatz von Wärmefallen.


Elektronische Prüfung : Testpattern und Nadelabdrücke

Die einzelne Nadel eines mechanischen Adapters übt einen Druck von bis zu 200pond (i.e. 2 N) auf eine Lötfläche aus. Die Adaption der Nadelspitze ist auf den SMD-Pads deutlich zu erkennen. Diese Beschädigung der Pads schließt ein Bonden im Bereich der Abdruckstellen wegen der kritischen Qualität der Oberfläche in diesem Bereich aus.

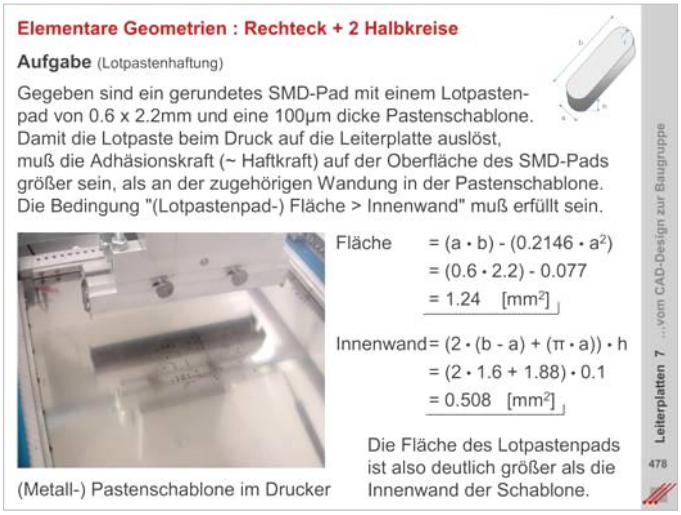
Die Prüfnadeln können nicht in Reihe plaziert werden, weil es sonst einen Kurzschluß zwischen den Nadeln geben würde.

Notwendig ist ein Auslenken der Nadeln in einem Testpattern, das bereits in der Bibliothek von CAD für das Bauteil definiert werden sollte.

Leiterplatten 7 ...vom CAD-Design zur Baugruppe
483

Funktionsbewertung

Baugruppen- und Fehlerbewertung. Einstufung der Qualität und Zuverlässigkeit einer elektronischen Baugruppe.
Anforderungen an elektronische Geräte. Inspektionskriterien für die Funktion von Leiterplatten und Baugruppen.



Elementare Geometrien : Rechteck + 2 Halbkreise

Aufgabe (Lotpastenhaftung)

Gegeben sind ein gerundetes SMD-Pad mit einem Lotpastenpad von 0.6 x 2.2mm und eine 100µm dicke Pastenschablone. Damit die Lotpaste beim Druck auf die Leiterplatte auslöst, muß die Adhäsionskraft (~ Haftkraft) auf der Oberfläche des SMD-Pads größer sein, als an der zugehörigen Wandung in der Pastenschablone. Die Bedingung "(Lotpastenpad-) Fläche > Innenwand" muß erfüllt sein.

Fläche $= (a \cdot b) - (0.2146 \cdot a^2)$
$= (0.6 \cdot 2.2) - 0.077$
$= 1.24 \quad [mm^2]$

Innenwand $= (2 \cdot (b - a) + (\pi \cdot a)) \cdot h$
$= (2 \cdot 1.6 + 1.88) \cdot 0.1$
$= 0.508 \quad [mm^2]$

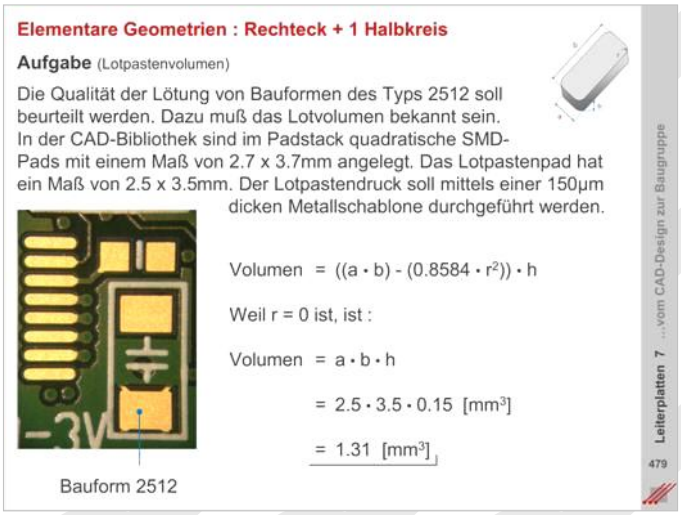
Die Fläche des Lotpastenpads ist also deutlich größer als die Innenwand der Schablone.

(Metall-) Pastenschablone im Drucker

Leiterplatten 7 ...vom CAD-Design zur Baugruppe 478

Schablonendruck

Lotpastenapplikation und Lotpastenvarianten. Lotpasteninspektion. Flußmittel, Auftragsverfahren und Lotpastenschablonen. Druckparameter.
Berechnungsmodelle für das Auslösen von Lotpaste. Geometrien im Padstack der CAD-Bibliothek.



Elementare Geometrien : Rechteck + 1 Halbkreis

Aufgabe (Lotpastenvolumen)

Die Qualität der Lötung von Bauformen des Typs 2512 soll beurteilt werden. Dazu muß das Lotvolumen bekannt sein. In der CAD-Bibliothek sind im Padstack quadratische SMD-Pads mit einem Maß von 2.7 x 3.7mm angelegt. Das Lotpastenpad hat ein Maß von 2.5 x 3.5mm. Der Lotpastendruck soll mittels einer 150µm dicken Metallschablone durchgeführt werden.

Volumen $= ((a \cdot b) - (0.8584 \cdot r^2)) \cdot h$

Weil r = 0 ist, ist :

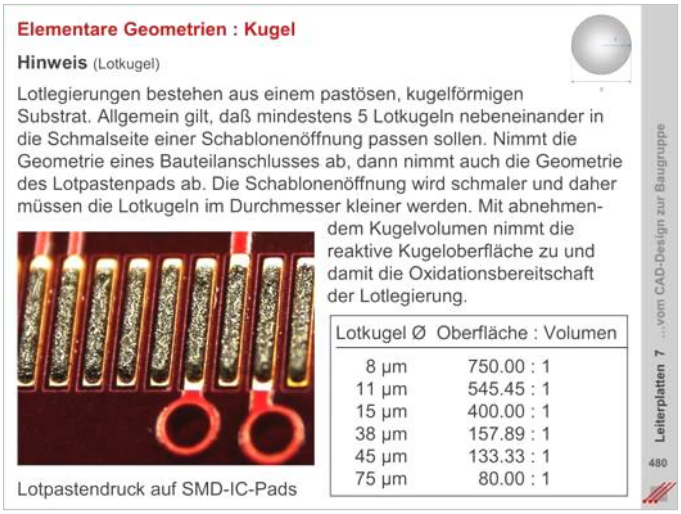
Volumen $= a \cdot b \cdot h$
$= 2.5 \cdot 3.5 \cdot 0.15 \quad [mm^3]$
$= 1.31 \quad [mm^3]$

Bauform 2512

Leiterplatten 7 ...vom CAD-Design zur Baugruppe 479

Lotpastenvolumen

Berechnungsmodelle für die aufzubringenden Lotpastenvolumina auf einer Lötfläche.
Bewertung der Lötqualität und Vorgaben für eine systematische Beurteilung von Lötprofilen und Lötergebnissen.



Elementare Geometrien : Kugel

Hinweis (Lotkugel)

Lotlegierungen bestehen aus einem pastösen, kugelförmigen Substrat. Allgemein gilt, daß mindestens 5 Lotkugeln nebeneinander in die Schmalseite einer Schablonenöffnung passen sollen. Nimmt die Geometrie eines Bauteilanschlusses ab, dann nimmt auch die Geometrie des Lotpastenpads ab. Die Schablonenöffnung wird schmaler und daher müssen die Lotkugeln im Durchmesser kleiner werden. Mit abnehmendem Kugelvolumen nimmt die reaktive Kugeloberfläche zu und damit die Oxidationsbereitschaft der Lotlegierung.

Lotkugel Ø	Oberfläche : Volumen
8 µm	750.00 : 1
11 µm	545.45 : 1
15 µm	400.00 : 1
38 µm	157.89 : 1
45 µm	133.33 : 1
75 µm	80.00 : 1

Lotpastendruck auf SMD-IC-Pads

Leiterplatten 7 ...vom CAD-Design zur Baugruppe 480

Lotpastengeometrien

Geeignete technische Lötverfahren für die Bestückung von Finepitch-Bauteilen.
Zusammenhänge zwischen den Vorgaben aus der CAD-Bibliothek und der zu wählenden Korngröße für die einzusetzende Lotpaste.

Ihr Referent

Helge Schimanski

Studium Physikalische Technik an der FH Wedel
Abschluss 1991: Dipl.-Ing (FH) Physikalische Technik

Berufliche Tätigkeiten:

Mai 1991 – April 1998: CEM GmbH:

Prozesstechnik (Drucken, Bestücken, Löten elektronischer Baugruppen).
Baugruppen- und Leiterplattenbewertung.
Projektleitung bei der Bearbeitung von Entwicklungs- und Untersuchungsdienstleistungen für Industriekunden.

Seit Mai 1998: Fraunhofer ISIT, Abteilung Modulintegration mit den Schwerpunkten :

Leitung des ISIT-Applikationszentrums für innovative Baugruppenfertigung und des ISIT-Rework Centers.
Einwerbung und Projektleitung von öffentlichen Forschungsprojekten.
Einwerbung und Projektleitung von bilateralen Forschungs- und Entwicklungsprojekten für Industriekunden.

Leitung der ISIT-Seminaraktivitäten, InHouse-Schulungen und praktischen Trainings (Baugruppenfertigung, Prozeßtechnik, manuelles Löten, Rework, u.a.). Prozessberatung.

Mitglied im ZVEI Ad-hoc Arbeitskreis "Repair/Rework", Arbeitskreis "Zuverlässigkeit von Leiterplatten", FED-Arbeitskreis "Baugruppe", "Hamburger Lötzirkel", VDE/VDI Arbeitskreis "Prüftechniken in der Elektronikproduktion".

Ihr Referent

Arnold Wiemers Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, den Fertigungsablauf und die Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Mitinhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH mit Sitz in Berlin.

Diverse Fachveröffentlichungen. Referent für Seminare, Konferenzvorträge und Workshops zum Thema Leiterplattentechnologie (MFT, MPS, Impedanz, Multilayersysteme, Designregeln, Gerber, LP2010).
Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.
Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.
Aktives Mitglied im AK-Design des ZVEI.
Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.

Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt sowohl die systematische als auch die kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Seminare und Teilnahmegebühren

Das 2-Tages-Seminar wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht auch als InHouse-Seminar zur Verfügung.

Freies Seminar

Die Durchführung liegt bei der LeiterplattenAkademie. Die Termine werden via Mailing, eMail, Internet oder Presseveröffentlichungen mitgeteilt. Die Veranstaltungsorte sind in Deutschland, Österreich und der Schweiz.

Präsenz-Seminar: 890,00 € zzgl. MwSt. pro Person. Enthalten sind ausführliche Seminarunterlagen, Teilnahmezertifikat, Mittagess sowie Getränke.

Online-Seminar: 810,00 € zzgl. MwSt. pro Person, Enthalten sind ausführliche Seminarunterlagen und das Teilnahmezertifikat.

InHouse: Unser Seminar in Ihrem Haus

Das Seminar/Tutorial wird in Kooperation mit Herrn Helge Schimanski vom Fraunhofer-Institut ISIT in Itzehoe durchgeführt.

Die Schulungsgebühr beträgt 3.800,00 € als InHouse-Schulung bzw. 2.700,00 € als Online-Training. Preise zzgl. MwSt.

Für Anfragen und Buchungen wenden Sie sich bitte an

inhouse@leiterplattenakademie.de

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.

LeiterplattenAkademie

Die LeiterplattenAkademie

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

Schaltungsentwicklung

CAD-Design

CAM-Bearbeitung

Leiterplattentechnologie

Baugruppenproduktion

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.

LA - LeiterplattenAkademie GmbH
Schlesische Str. 12
10997 Berlin

Telefon	(030) 34 35 18 99
eMail	info@leiterplattenakademie.de
Internet	www.leiterplattenakademie.de