

### 3. Kapitel / Jennifer Vincenz

#### ***Padstacks: Was Hänschen nicht beachtet, kann Hans nicht verarbeiten***

#### ***Simple Einstellungen mit weitreichenden Konsequenzen***

#### **Was genau ist eigentlich ein Padstack?**

Die präzise Beschreibung eines Padstacks ist auf den zweiten Blick gar nicht so einfach, wie es zunächst den Anschein erweckt. Denn schon allein der Begriff Pad muss genaugenommen erläutert werden, da, wie so oft, keine einheitliche Definition existiert.

Wir sprechen von Pads, wenn wir Bauteilanschlüsse meinen, sowohl gebohrte als auch SMD-Anschlüsse. Wir sprechen aber auch von Pads, wenn wir die Anschlußflächen von Vias, also Durchkontaktierungen, meinen.

Damit haben Elemente mit einer unterschiedlichen Funktion im Design und in den Fertigungsdaten die gleiche Bezeichnung.

Um die Verwirrung jetzt komplett zu machen ist "kein Pad" eigentlich auch ein Pad, denn auch die Definition, daß innerhalb eines Padstacks auf einer Ebene *keine* grafische Darstellung vorhanden sein soll, muß unter anderen Aspekten, wie zum Beispiel Abstandsregeln, als ein dem Rechenalgorithmus zugängliches Objekt vorhanden sein.

Tasten wir uns also zunächst langsam heran und beschränken wir uns auf eine offensichtliche und zudem leicht nachvollziehbare Aussage :  
Ein Padstack ist die grafische Darstellung einer Bauteilanschlußfläche, eines Vias oder einer Montagebohrung auf allen Ebenen im Leiterplatten-Design-Programm (Bild 3-1).

Das ist aber nur die halbe Wahrheit. Gleichzeitig repräsentiert der Padstack auch das *physikalische* Erscheinungsbild dieser Bauteilanschlüsse, Vias und Bohrungen auf der Leiterplatte und beeinflusst somit deren Produzierbarkeit.

Und in der virtuellen Welt der EDA-Software kann an den Padstack eine ganze Reihe von Eigenschaften geknüpft sein, die den möglichen Anschluß an dieses Element regeln und die damit

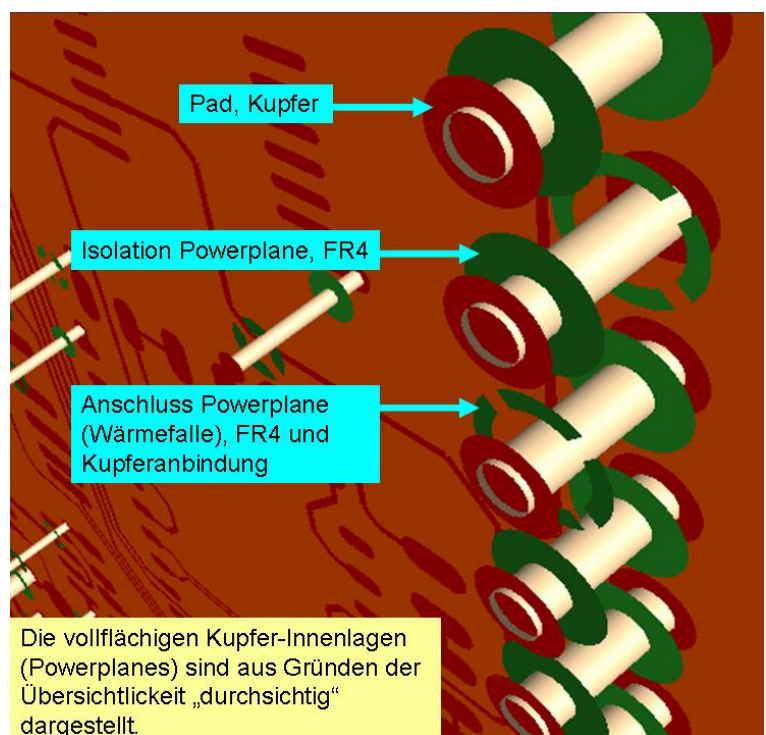


Bild 3-1      Dreidimensionale Darstellung eines Padstacks in einem 6-Lagen-Multilayer

natürlich Einfluß auf das elektrische und thermische Verhalten in der realen Welt der Leiterplatte und Baugruppe haben.

Nehmen wir uns also eine Lupe und betrachten den Delinquenten einmal näher. Prinzipiell besteht ein Padstack aus grafischen Formen, also Polygonen, die den jeweiligen Funktionsebenen im Layout zugewiesen werden. Dies muß glücklicherweise heutzutage nicht mehr manuell vorgenommen werden, die Eingabemasken der Software-Programme weisen das gewählte Polygon in der definierten Größe automatisch den jeweiligen Funktionsebenen zu.

Üblicherweise ist das zunächst erst einmal für alle Ebenen oder auch Layer eines Leiterplatten-Designs die gleiche Form. Wirklich für alle Ebenen? Tatsächlich ist das auf den verschiedenen Ebenen erzeugte Polygon nicht grundsätzlich gleich, auch wenn wir es in der Eingabemaske für alle Ebenen gleich definiert haben.

Wird eine Lage als Powerplane ausgewiesen, so wird für die an diese Powerplane angeschlossenen Pads und Vias eine Darstellung des Anschlußbildes an die Kupferfläche erzeugt, die sogenannte Wärmefalle oder auch "Heat Isolation" oder auch "Thermalpad" (Bild 3-2).

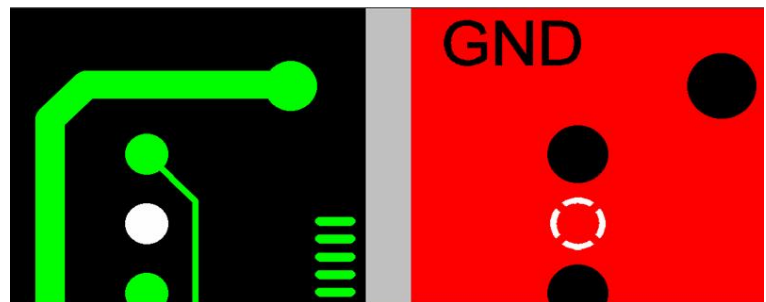


Bild 3-2

Links : Pad.  
Rechts : Wärmefalle ( ~ Heat Isolation oder Thermalpad) in einer Powerplane.

Natürlich kann auch ganz bewußt auf einem oder mehreren Layern eine andere Form gewünscht sein. Denken wir beispielsweise an Designs für die Raumfahrt. Oft dürfen hier weder eine Lötstopmaske oder ein anderer Druck aufgebracht werden. Dennoch würden wir gern beispielsweise den Pin 1 eines THT-ICs (IC-Baustein in konventioneller Durchstecktechnik) kennzeichnen, um einen Verdrehenschutz zu gewährleisten.

Sicherlich können wir dem gesamten Padstack des Pin 1 auch eine andere Geometrie geben, beispielsweise ein Quadrat.

Nachgewiesenermaßen ist das Lötverhalten allerdings besser, wenn alle Pads eines ICs gleich sind. Hier bietet es sich an, für den Pin 1 nur auf der Bestückungsseite (auch Top Layer oder Primärseite genannt) eine andere Form zu definieren, auf der Lötseite aber bleiben die Pads rund und eine Abweichung im Lötverhalten ist somit minimiert.

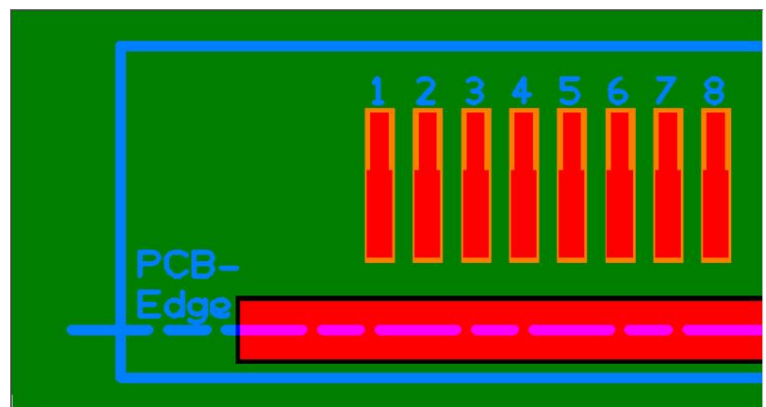


Bild 3-3

Solder Mask Defined Pad. Die aktive Lötfläche wird durch die Freistellung in der Lötstopmaske definiert].

Ein anderes Beispiel sind "Solder Mask Defined Pads" für oberflächenmontierte Bauteile (SMD-Bauteile). Hier wird die eigentlich aktive Lötfläche über die Lötstopmaske definiert. Nun mögen Sie denken, dies ist eher ein Sonderfall, weil üblicherweise die aktive Lötfläche über das Kupferpad dimensioniert wird. Zuweilen ergibt sich aber

eine bessere Prozessierbarkeit, beispielsweise ein besseres thermisches Verhalten, wenn die aktive Lötfläche über die Freihaltung in der Lötstopmaske definiert wird (Bild 3-3).

Es ist in kritischen Highspeed-Designs eine häufige Forderung, Kondensatoren stets vollflächig an Masse anzuschließen.

Spätestens für kleine Bauformen der Chip-Kondensatoren ergibt sich daraus die Notwendigkeit, zumindest das vollflächig angeschlossene Pad in der Größe über die Lötstopmaske zu definieren, da sich mit der üblichen Parametrisierung der Lötstopmaske (... "alle Lötstopmaskenpads 100µm größer") real auf der Leiterplatte für das Bauteil sonst zwei unterschiedlich große Pads ergeben würden.

Dies würde zu erheblichen Schwierigkeiten in der Baugruppenproduktion führen (Bild 3-4).

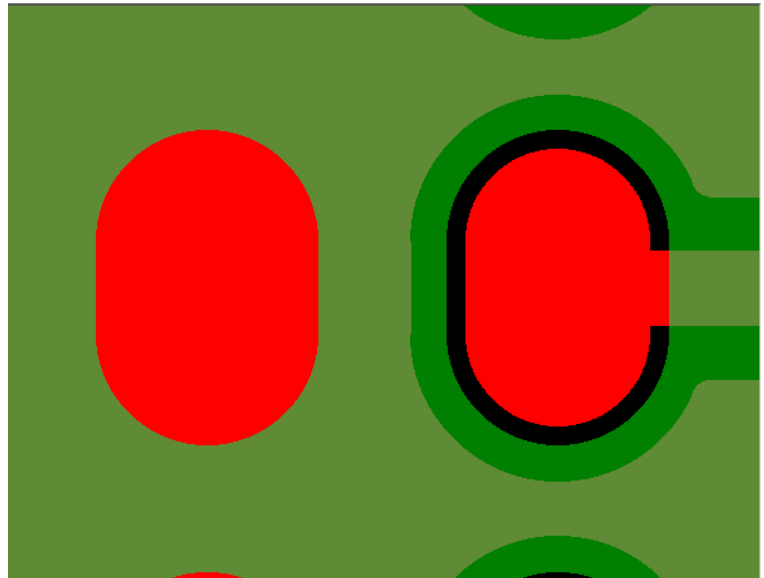


Bild 3-4

Die parametrisierte Freihaltung der Lötstopmaske ergibt unterschiedlich große Lötanschlüsse

Im Falle des dargestellten Pads ergibt die parametrisierte Lötstopmaskenfreihaltung von 50µm umlaufend (~ entspricht 100µm im Durchmesser) eine um gut ein Drittel (34 Prozent) größere aktive Lötfläche, auch wenn dies optisch auf den ersten Blick gar nicht so dramatisch aussieht.

Mit reinen Automatismen kommen wir hier also nicht weiter und es kann in Abhängigkeit vom Design notwendig werden, gezielt einzelne Padstacks auf einzelnen Lagen manuell anzupassen.

### Wahre Größe zeigt sich im Kleinen

Wie wird denn nun ein Padstack dimensioniert? Um zu einer Lösung zu kommen, die alle an der Prozeßkette beteiligten zufriedenstellt, müssen wir genaugenommen das Pferd von hinten aufzäumen.

Wir müssen zunächst die Abnahmekriterien des fertigen Produktes betrachten. Da gibt es für THT-Bausteine beispielsweise Forderungen an den Lotdurchstieg, die den Bohrdurchmesser mitbestimmen. Wir haben also den Pin-Durchmesser plus einen Freiraum, der es dem Lot erlaubt, am Pin hochzusteigen und so eine sichere Verbindung zu gewährleisten.

Jetzt befinden wir uns allerdings schon in den Tiefen der Prozeßtechnik. Genaugenommen müssen wir außer dem eigentlichen Lötverfahren (Wellenlötung, Selektiv-Wellenlötung, Through-Hole-Reflow, Handlötung) nicht nur die Eigenschaften des Lotes kennen, sondern auch Eigenschaften des Basismaterials, die Wärmeleitfähigkeitsparameter des Bauteilpins, die Verarbeitungstemperatur, ja, eigentlich das gesamte Fertigungsverfahren inklusive der Funktionsweise der Produktionsmaschinen.

Für viele Standardprodukte, wie doppelseitige Leiterplatten der Dicke 1.6mm mit 17µm oder 35µm Basiskupfer oder auch 4 oder 6 Lagen Multilayer mit einer Enddicke von 1.6mm und mit 17µm oder 35µm Basiskupfer und maximal 2 Powerplanes, ist das als nicht ganz so kritisch zu betrachten.

Hier greift die Daumenregel "Pindurchmesser + 0.25 bis 0.4 mm = Nominal-Bohrdurchmesser". Für die automatische Bestückung axialer oder radialer Bauteile sollte die obere Toleranzgrenze verwendet werden. Für Through-Hole-Reflow gilt als Faustformel "Pindurchmesser + 0.2 bis 0.3 mm = Nominal-Bohrdurchmesser". Der "Durchmesser" rechteckiger Pins wird über die Diagonale gemessen. Anzuwenden ist die untere Toleranzgrenze.

Wir bewegen uns aber immer weiter in Grenztechnologiebereiche hinein. Ein Beispiel sind hochlagige Multilayer mit vielen Masselagen, typisch für impedanzdefinierte Schaltungen. In solchen Fällen müssen selbst für die Dimensionierung eines einfachen THT-Padstacks präzise Prozeßparameter betrachtet werden, wie die Wärmeaufnahme und die Wärmedistribution in der Leiterplatte, um eine Vorhersage über den Lotdurchstieg treffen und damit den benötigten Bohrdurchmesser bestimmen zu können. Die Kommunikation mit dem Baugruppenproduzenten wird deshalb unerlässlich.

Eine weitere Forderung für Lötstellen ist die Lötflanke, die über Abnahmekriterien festgelegt ist. Für die Ausbildung einer korrekten Lötflanke wird eine ausreichende Padfläche, für THT-Lötstellen ein geschlossener Restring, benötigt. An dieser Stelle müssen wir zusätzlich zum Wissen um das Lötverhalten Kenntnis über die Toleranzen der Leiterplattenfertigung haben, um das Pad ausreichend groß dimensionieren zu können. Sollten wir ausnahmsweise das Glück haben, daß Platz in unserem Design keine Rolle spielt (...was in heutigen Designs eher unwahrscheinlich ist), könnten wir uns schlicht großzügig zeigen und frei nach dem Motto "viel hilft viel" ein paar Zehntel mehr spendieren.

Leider wäre auch dies aber eher kontraproduktiv, denn bei zu großen Pads ist möglicherweise dann die Lotverteilung so unglücklich, daß keine korrekte Flanke ausgebildet wird.

Wir müssen also auch hier Prozeßparameter berücksichtigen. Die Erfahrung hat jedoch gezeigt, daß beispielsweise für THT-Lötstellen die Dimensionierung des Restrings von umlaufend 0.3 mm üblicherweise für eine gute Lotflanke sorgt.

Noch komplexer wird das Thema, wenn wir die Berechnung von SMD-Pads betrachten. Im Gegensatz zu den Lötstellen durchgesteckter Pins ist bei den SMD-Bauteilen der neuesten Generation (Leadless Chip Carrier, QFN, SON) nicht einmal mehr die äußerliche Begutachtung der Lötstelle möglich. Selbst wenn an der Außenkante des Bausteins noch ein Anschluß sichtbar ist, muß er nicht zwangsläufig benetzbar sein und demzufolge muß auch keine klassische Lötflanke ausgebildet werden (Bild 3-5).

Auch für BGAs und Flip Chips ist eine visuelle Inspektion der Lötstelle nur für die jeweils äußere Reihe möglich. Entweder müssen aufwendige Geräte und Techniken für die Inspektion der Lötstellen zum Einsatz kommen, was einen Kostentreiber darstellt, oder wir müssen schlicht darauf vertrauen, daß die Lötstellen in Ordnung sind. Dies ist nur mit korrekt dimensionierten und auf den Prozeß abge-

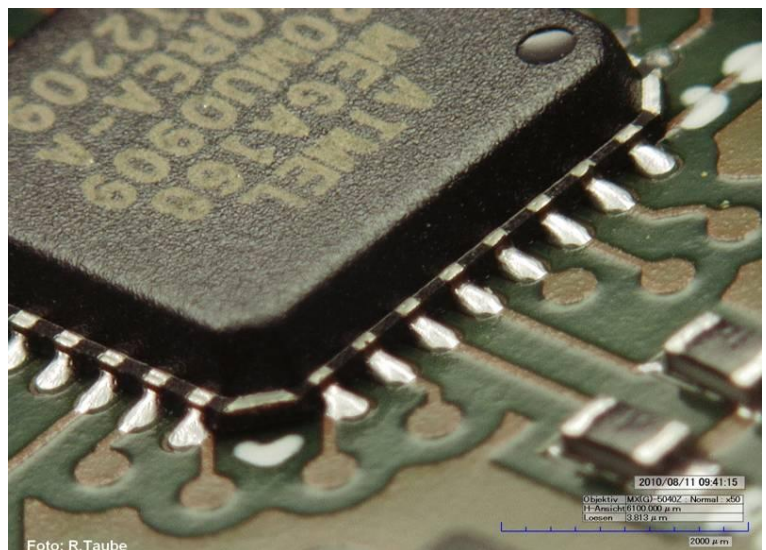


Bild 3-5 Gelöteter QFN-Baustein.  
Eine klassische Lötflanke wird nicht zwangsläufig ausgebildet

stimmten Padstacks möglich. Eine Faustformel, wie früher häufig üblich (... "wir geben an den langen Seiten immer 4 Zehntel zu") wird aller Voraussicht nach mindestens zu Schwierigkeiten bei der Verarbeitung führen, wenn nicht zu schlechten Lötgergebnissen.

Es kann nicht vorausgesetzt werden, daß jeder Designer jeden möglichen Prozeß und jede Maschine auf dem Markt wie seine Westentasche kennt. Die tägliche Praxis ist daher, sich mit Daumenregeln, Richtlinien und nicht zuletzt den Vorschlägen auf den Datenblättern der Bauteilhersteller dem Optimum anzunähern.

Leider läßt sich das, wie so Vieles in der Leiterplatten- und Baugruppenteknik, nicht prinzipiell in eine pauschale Formel gießen. Versuche dazu hat es dennoch immer wieder gegeben. Angefangen mit der IPC-782, die den Ansatz über eine Art "Worst-Case-Scenario" wählte. Vereinfacht dargestellt war damit gemeint, daß die größtmögliche Toleranz des Bauteilanschlusses plus die größtmögliche Toleranz der Platzierung plus größtmögliche Fertigungstoleranz das Pad ergab.

Die Praxis hat gezeigt, daß dies oft viel zu große Pads ergab, was bei kleinen, massearmen Bauteilen zu größten Schwierigkeiten führte. Als Beispiel sei hier die vermehrte Neigung zu Tombstoning (i.e. "Grabsteineffekt") genannt.

Eine deutliche Verbesserung der Prozessierbarkeit brachte die IPC-7350iger-Reihe. Die Toleranzbetrachtungen orientierten sich dort sehr viel näher an der Praxis. Der mit dieser Richtlinien-Reihe ausgelieferte kostenfreie Land-Pattern-Viewer gibt für eine Vielzahl von Standard-SMD-Bauteilen einen guten Anhaltspunkt für die Dimensionierung der SMD-Pads.

Dennoch empfiehlt es sich, speziell für Komponenten der Bauform 0402 (Metrisch 1005) und kleiner sowie QFN oder anderer Bausteine mit verdeckten Anschlüssen, mit dem Baugruppenproduzenten Rücksprache zu halten.

Nicht zuletzt bleiben noch die Empfehlungen der Bauteilhersteller selbst, die Datenblätter. Diese sollten allerdings nicht ungeprüft übernommen werden. Nicht selten finden sich darin zum Teil grobe Fehler in der Umrechnung zwischen Inch und Millimeter oder simple Zahlendreher.

Ein Abgleich, beispielsweise mit der vorgenannten Richtlinie, gibt zumindest einen Anhaltspunkt, ob die angegebenen Maße Sinn machen.

Wer so viele Informationsquellen als möglich nutzt, hat die größten Chancen, sich dem Optimum zu nähern.

### **Hinweis**

Mit zunehmender Vielfalt der Löt- und Verbindungstechnologien und zunehmender Komplexität des Produkts sowie steigenden Anforderungen an die Zuverlässigkeit sowohl der Prozesse als auch der fertigen Baugruppen wird deutlich, daß nur eine umfangreiche und vertrauensvolle Kommunikation bereits im Vorfeld des Designs zielführend ist.

Auch der Einkauf wird sich an den Gedanken gewöhnen müssen, daß die Entscheidung, wer welches Produkt wie fertigt, zukünftig nicht mehr im Nachhinein getroffen werden kann. Diese Entscheidung ist bereits Bestandteil des Designprozesses und damit genaugenommen Bestandteil des Produktes und muss somit zu Beginn der Designarbeit festgelegt werden.

Der Designer *muß* in jedem Fall in diesen Entscheidungsprozeß eingebunden werden.

Dies gilt in ganz besonderem Maße für kritische Produkte im grenztechnologischen Bereich.



Ist die Entscheidung getroffen, wie und von wem das Produkt gefertigt wird, ist es Aufgabe des Designers, das Feintuning für die Dimensionierung der Padstacks durchzuführen und auf die Prozesse der Fertigung abzustimmen.

