

12. Kapitel / Arnold Wiemers, Rainer Taube

Oberflächen von Leiterplatten

Ohne Chemie gibt's keine Elektronik

Bitte wählen Sie...

Das eigentliche elektrisch leitende Metall auf der Oberfläche von Leiterplatten bleibt natürlich auch künftig das Kupfer. Die Endoberfläche (...i.e. "Finish") wird erst nach dem Ätzen der Leiterbildstruktur partiell aufgebracht. Die Aufgabe der Endoberfläche ist, freiliegendes Kupfer vor der Oxidation zu schützen und das zuverlässige Löten der Bauteilkomponenten sicherzustellen.

Zur Auswahl für die Endoberfläche stehen die vier Metalle Gold, Silber, Zinn und Nickel sowie eine organische Schutzschicht. Die Metallschichten werden durch einen Galvanoprozeß auf die Leiterplatte abgeschieden. Alle vier Metalle können chemisch aufgebracht werden, die Metalle Gold und Nickel auch galvanisch (Bild 12-1).

Die *galvanische Metallisierung* wird genutzt, wenn dickere und abriebfestere Oberflächen gefordert sind. Beispiele dafür sind PC-Stecker oder Schalter, deren Schleifer direkt auf der Leiterplattenoberfläche arbeiten. Es kann auch die Montagetechnik eine Rolle spielen. Ein Beispiel hierfür ist das Bonden von Chips mit Gold- oder Aluminiumdraht auf einer galvanischen Goldoberfläche.

Die galvanischen Oberflächen sind üblicherweise teurer, als die chemischen Oberflächen. Weil das Verfahren kathodisch-anodisch erfolgt und weil das Leiterbild zum Zeitpunkt der Prozessierung der Endoberfläche (...üblicherweise) bereits geätzt ist, müssen alle zu galvanisierenden Oberflächen im Galvanobad mit einem elektrischen Potential belegt werden können.

Das CAD-Layout muß das in der Datenanlage berücksichtigen.

Die *chemische Metallisierung* ist heute das Standardverfahren für das Aufbringen einer Endoberfläche. Die Oberflächen sind plan und sind (...bisher) ohne Einschränkungen zu handhaben. Chemisch Gold in diversen Varianten ist mit Abstand die häufigste Endoberfläche in Europa.

Bleifreies Zinn kann als "Hot-Air-Leveling" auch in einem Tauchbad aufgebracht werden. OSP (i.e. Organic Surface Protection) kann ebenfalls in einem Tauchbad prozessiert werden und bildet dann eine < 1.0µm dicke Schutzschicht auf dem Kupfer.

Final surfaces for PCBs

Galvanic surfaces	Connecting technique		
	Soldering	Bonding	Glueing
■ Tin lead fused	X	---	---
■ Bond gold (chemical)	X	Gold	X
■ Bond gold (galvanic)	X	Gold	X
■ OSP	X	---	---
■ Gold (chemical)	X	Aluminum	X
■ Gold (galvanic)	X	Aluminum	X
■ Hot-Air-Leveling (lead-free)	X	---	---
■ Hot-Air-Leveling (leaded)	X	---	---
■ Copper	X	---	---
■ Nickel (galvanic, chemical)	X	---	---
■ Tin (chemical)	X	---	X

■ Preferred surface for SMD
■ Non-RoHs-conform surfaces

Aluminum/Gold
Suitable for aluminum or gold wire bonding

High-Speed PCB Technology 151

Bild 12-1 In Europa übliche Endoberflächen

Für komplexe Bauteile mit hohen Anschlußdichten (...wie bei BGAs) oder mit sehr planen Anschlußflächen (...wie bei BTCs) sind die chemischen Oberflächen und das OSP ideal.

Lötstoplack als Resist bei chemischen Oberflächen

Die chemischen Oberflächen und das Hot-Air-Leveling bedecken nur freiliegende Kupferflächen auf der Leiterplatte, das sind üblicherweise die Lötflächen der Bauteile sowie gegebenenfalls Kühlflächen und Kontaktflächen, die von Bauteilen genutzt werden.

Diese partielle Bedeckung wird erreicht durch das vorherige Aufbringen des Lötstoplackes. Der Lötstoplack läßt nur die Löt- und Kontaktflächen frei und wirkt damit als Resist (i.e. Schutz, Abdeckung) für den direkt nachfolgenden Prozeß der Oberflächenbeschichtung.

Alle Leiterbildstrukturen, die unter dem Lötstoplack liegen, verbleiben also in Kupfer und bekommen *keine* Endoberfläche.

Für die Qualität des über die Kupferleiterbahn transportierten Signals hat sich das als vorteilhaft erwiesen, weil viele Endoberflächen die Signalübertragung dämpfen. Insbesondere bei Oberflächen mit Chemisch Gold (...das über einer als Diffusionssperre wirkenden Nickelschicht aufgebaut wird) macht sich die Dämpfung bemerkbar.

Für die langfristige funktionale Zuverlässigkeit einer Baugruppe erweist sich jedoch das übliche CAD-Design für den Lötstopdruck als Nachteil. Die klassische Vorgehensweise seit Ende der 80er Jahre ist, beim Erstellen des CAD-Layoutes mit Padstacks zu arbeiten, die ein Zudrucken der Vias mit Lötstoplack vorsehen. Die Änderung der Fertigungstechnologie von Siebdruck auf fotosensitiven Lötstoplack und die Reduzierung der Enddurchmesser der Vias auf 300µm und kleiner haben in den letzten Jahren dazu geführt, daß die Viahülsen nicht mehr mit Lack verfüllt werden und auch (...wegen mangelnder Durchflutung wegen des ungünstigen AspektRatios) nicht mehr mit einem Finish überzogen werden.

Bereits bei Baugruppen in HDI-Technologie liegt das Kupfer in den Hülsen frei und ist damit anfällig für Korrosion. Eine langfristig stabile Funktion unter aggressiven Bedingungen (...i.e. Wärme, Vibration, Feuchtigkeit, reaktive Umgebungsluft) ist als kritisch zu bewerten.

Die für das CAD-Layout zu beachtenden Designregeln für den Lötstopdruck gehören heute zu den komplexesten Vorgaben (Bild 12-2 : Regel 2 von 4) an die Konstruktion von Leiterplatten.



Bild 12-2 Designregel für fotosensitiven Lötstoplack

Oberflächen

Es gibt seit längerem ernstzunehmende Anzeichen dafür, daß die Oberfläche einer Leiterplatte schon vor der Erstellung des CAD-Layouts festliegen muß.

Ein erster Aspekt ist die allgemeine Tendenz zu High-Speed-Baugruppen. Es gibt Hinweise, daß bei sehr schnellen Signaltransfers mit hohen Datenraten > 5 GBit/s die Signalqualität leidet, wenn auf dem Weg von der Leiterplatte zum Bauteilanschluß eine Nickelschicht durchlaufen werden muß (...wie das bei chemischen Goldoberflächen der Fall ist).

Ein zweiter Aspekt ist die Legierung der Bauteilanschlußkappen insbesondere bei zweipoligen Komponenten. Beim Löten bildet sich aus Lot und Leiterplattenoberfläche eine Legierung, die den Bauteilanschluß benetzen muß. Die Legierung mancher Bauteilanschlußkappen spricht auf die üblichen Lote und Oberflächen nicht an. Es kommt in Folge zu unzuverlässigen und damit riskanten Lötverbindungen.

Abhilfe kann eigentlich nur eine Datenbank ermöglichen, mit deren Unterstützung zum Zeitpunkt der Bauteilplatzierung am CAD-System das vorgesehene Lot und die vorgesehene Leiterplattenoberfläche auf Prozessierbarkeit hinsichtlich der Benetzung abgeglichen werden kann. Aber das ist wohl vorerst noch Utopie.

Für eine Einschätzung und Auswahl der richtigen Oberfläche sollten deren wichtigste Eigenschaften bekannt sein.

Hot-Air-Leveling HAL erlebt in der bleifreien Ausführung mit SnAgCu-Loten eine Renaissance. Die Planarität der Oberfläche ist jedoch mittelmäßig, die Schichtdicke ist unregelmäßig, die Kantenabdeckung der Lötflächen ist nicht immer perfekt und die Lötflächen selbst weisen schon mal lokale Benetzungsfehler auf. Die Schichtdicke liegt sehr variabel zwischen 1 und 20µm.

Der Energieverbrauch des HAL-Prozesses ist hoch. Für die Leiterplatte ist die Temperaturbelastung durch den Fertigungsabschnitt "HAL" beachtlich und führt zu einer deutlichen Voralterung.

Chemisch Zinn Die "Chemisch Zinn"-Oberfläche ist plan. Die Zinndicke liegt bei 1 bis 1.2µm (...optimal). Als Mindestdicke für die Zinnschicht werden 0.3µm für eine zuverlässige Lötverbindung gefordert.

Mit der Zeit baut sich die Dicke der lötbaren Zinnschicht durch die Bildung einer intermetallischen SnCu-Phase ab. Bereits das Trocknen der Leiterplatte leistet einen massiven Wärmeeintrag, der diesen Vorgang beschleunigt. Bei einer Temperatur von 120° wird innerhalb einer Stunde die Dicke der Zinnschicht um zirka 50nm reduziert.

Jeder durchgeführte Reflowlötprozeß halbiert die Dicke der verbleibenden Zinnschicht. (Quelle: Atotech / "Investigation of the recommended Immersion Tin thickness for lead free soldering"). Ausgehend von einer Zinndicke von 1.2µm bedeutet dies eine verbleibende Zinndicke von 0.6µm nach dem ersten Reflowlöten und 0.3µm nach dem zweiten Reflowlöten.

Chemisch Gold Chemisch Nickel/Gold (...i.e. "ENIG" ~ "Electroless Nickel-Gold") ist verbreitet und wird favorisiert, wenn das Löten und das Bonden als Verbindungstechnik auf einer Leiterplatte kombiniert werden sollen. Die Oberfläche ist plan, die Schichtdicke des Goldes liegt bei 0.04µm bis 0.08µm (Bild 12-3).

Das Chemische Gold wird vornehmlich auf einer Nickelschicht von uneinheitlichen 4 bis 7µm abgedeckt. Das Nickel hat die Funktion einer Diffusionssperre.

Chemisch Gold ist die einzige Oberfläche, bei der das Lötten auf dem Nickel stattfindet und nicht auf der Kupferoberfläche der Leiterplatte.

Die Lagerfähigkeit ist gut, eine Verarbeitung ist auch nach zwei Jahren noch möglich.

Wegen der nicht unkritischen Nickelschicht gibt es inzwischen auch chemische Goldoberflächen, die auf Palladium oder Silber aufbauen. Erste Ergebnisse sind sehr vielversprechend, es fehlt aber noch an flächendeckender Verfügbarkeit.

Chemisch Silber

Chemisch Silber wird in Europa noch wenig nachgefragt. Die Oberfläche ist plan. Die Schichtdicke liegt bei 0.1µm bis 0.4µm und ist mit einer dünnen organischen Schutzschicht abgedeckt. Mit Kupfer bildet Chemisch Silber keine intermetallische Phase.

Das Beschichtungsverfahren ist in einem einfachen und preisgünstigen Prozeß ohne hohe Temperaturbelastung durchführbar.

Die Oberfläche ist gut lötbar. Die Lagerzeit von Leiterplatten mit einer Oberfläche aus Chemisch Silber wird auf ein Jahr taxiert.

Chemisch Silber reagiert empfindlich auf ein chlorid- und/oder sulfidhaltiges Umfeld. Dazu gehören auch bereits Verpackungsmaterialien, die Chloride und/oder Sulfide enthalten.

Freud und Leid der Chemie

Ohne Chemie geht in der Leiterplattentechnologie nichts. Oberflächen müssen gereinigt, ölige Beläge, Oxide und Fette müssen entfernt werden. Leiterplatten werden mit einer Fülle unterschiedlicher chemischer Substanzen in Kontakt gebracht. Säuren, Laugen, Sulfate, Fluorverbindungen werden begleitet von geringer dosierten chemischen Zusatzstoffen, die helfen sollen, chemische Prozesse zu aktivieren, zu stabilisieren oder zu katalysieren.

Welcher Prozeß mit welchen Substraten abläuft, ist nicht immer hinreichend bekannt. Für alle Endoberflächen gibt es voneinander abweichende chemische Systeme, die eingesetzt werden können. Die Inhaltsstoffe sind im Detail die firmeninterne Kompetenz des jeweiligen Chemielieferanten.

Die Wechselwirkungen zwischen der Chemie der Oberfläche und der Chemie des Lötstopplackes (...und dann später auch der Chemie des Via-, Carbon-, Heatsinkpasten- und Abziehlackdruckes) sind nicht immer vorhersehbar.

Die Rückstände diverser chemischer Substanzen auf den Leiterplatten können immer problematisch werden. Niederschläge auf den Lötflächen, Mikrovia's, zu enge Lötstopmasken, hohe Kupferschichtdicken, Mikrokavernen im Basismaterial, winzige Hohlräume zwischen den diversen Siebdrucken und der Leiterplattenoberfläche tragen dazu bei, daß auf der Leiterplatte Rückstände nach dem Aufbrin-

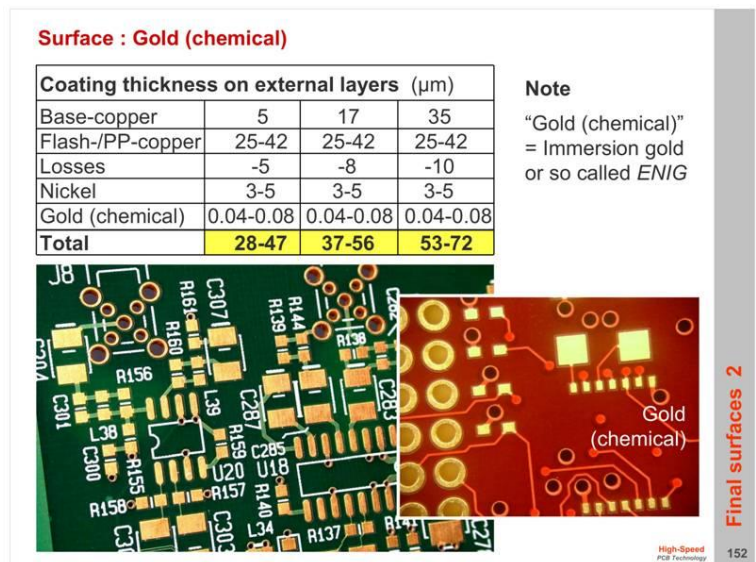


Bild 12-3 Oberflächenbilanz für Chemisch Gold

gen des Lötstoplackes und der Endoberfläche sowie nach dem Fluxen und dem Löten der Baugruppe verbleiben.

Mögliche Langzeitschäden für Baugruppen sind bisher weitestgehend unerforscht und im Erlebensfall auch nur äußerst schwer zu analysieren und einer Ursache zuzuordnen.

Hinweis

Alle, die an dem Produktionsprozeß der Baugruppe mitwirken, müssen sich abstimmen.

Das CAD-Design, die Leiterplattenproduktion und die Baugruppenfertigung müssen Hand in Hand arbeiten.

Unumgänglich ist eine aussagefähige und verbindliche Dokumentation unter Einbeziehung des Lagenaufbaus, der Kupferdicken und der Endoberfläche.

