

18. Kapitel / Arnold Wiemers

Verifikation von Leiterplatten

Finde den Fehler bevor es zu spät ist

Identität und Irrtum

Selbstverständlich erwarten wir, daß eine Leiterplatte den Vorgaben des CAD-Systems entspricht. Die real gewordene Leiterplatte soll/muß ein exaktes Abbild der virtuellen CAD-Konstruktion sein.

Das würde allerdings zuerst einmal voraussetzen, daß *alle* realen Produktionsbedingungen am CAD-System technisch richtig und vollständig abgebildet worden sind. Wir wissen inzwischen, daß das nicht der Fall ist. Kein CAD-System ist auf der Basis eigener Softwarekompetenz in der Lage, die Komplexität der Designregeln für die Fertigung von Leiterplatten und Baugruppe korrekt vorzugeben.

Die CAM des Leiterplattenherstellers muß deshalb üblicherweise einen **Design-Rule-Check** (= DRC) durchführen. Während der DRC am CAD-System vornehmlich die Funktion der Verdrahtung überprüft sowie geometrische Abstände zwischen Bildstrukturen, konzentriert sich der DRC am CAM-System zusätzlich außerdem auf die Produzierbarkeit der konstruierten Leiterplatte.

Die Verifikation der Teilkomponenten einer Leiterplatte und die Verifikation der fertigen Leiterplatte sind unverzichtbar. Nur die Identität der Leiterplatte mit den CAD-Daten erlaubt die systematische und erfolgreiche Inbetriebnahme der späteren Baugruppe.

Doch alle CAD-Systeme schwächeln, wenn es darum geht, umfassend brauchbare Daten für die Arbeitsvorbereitung an die CAM des Leiterplattenherstellers zu liefern.

Deshalb, und weil jede Leiterplatte ihre individuelle Ausprägung hat, müssen von CAM auch die Prüfdaten für die Produktion der Leiterplatten individuell erstellt werden. Der Aufwand dafür ist inzwischen erheblich und kann zu fatalen Irrtümern führen.

Zu prüfende Qualitäten

Die an/auf einer Leiterplatte zu prüfenden Qualitäten lassen sich in die drei Kategorien "Leiterbild", "Mechanik" und "Logistik" einsortieren.

Leiterbild Zum Leiterbild gehören alle Strukturen, die in Kupfer ausgeführt werden.

Mechanik Zur Mechanik gehören alle Bohrungen und Konturen.

Dokumentation Zur Dokumentation gehören diverse strategische Papiere/Daten.

Leiterbild

Die elektronischen Bauteile werden auf Lötflächen (i.e. SMT) oder in metallisierten Bohrungen (i.e. THT) montiert. Die Verbindungen zwischen den Anschlüssen der Bauteile werden über Leiterbahnen (~ Vektoren) hergestellt. Die absolute Richtigkeit der Verbindungen zwischen den Lötflächen, die Ausprägung von Polygonen (~ SMD-Shapes, Füllflächen, Powerplanes) und die korrekte Geometrie von Restringen und SMD-Flächen definieren die Funktion der Baugruppe.

Während der Produktion der Leiterplatten kann das Leiterbild beschädigt werden (Film zerkratzt, Ätzfehler, mechanische Transportschäden). Die Leiterbahnen/Leiterbilder müssen deshalb in unter-

schiedlichen Fertigungsabschnitten verbindlich getestet werden. Es gibt die beiden Strategien, das Leiterbild optisch oder elektronisch zu testen.

Bei einem Multilayer verifiziert der optische Test die Leiterbilder auf jeder *einzelnen* Innenlage. Beim AOI-Test (= **A**utomatisch **O**ptische **I**nspektion) erfaßt ein Scanner das Leiterbild und vergleicht das verpixelte Kontrastbild mit einem gespeicherten Datensatz.

Auf der fertigen Leiterplatte wird die Vollständigkeit und Richtigkeit der Signalwege durch den elektronischen Test geprüft. Dazu müssen die Endpunkte der Verbindungen mit einem Prüfkontakt/einer Prüfnadel mechanisch adaptiert werden. Über eine aufgebrachte Testfrequenz lassen sich Unterbrechungen und Kurzschlüsse orten.

Üblicherweise stellt das CAD-System jedoch für keinen dieser unverzichtbaren Tests einen Datensatz zur Verfügung, der geeignet ist. CAM ist aber auf die Vektorinformationen angewiesen, die durch den Postprozeß des CAD-Systems erzeugt werden und leitet deshalb geeignete Prüfdaten daraus ab. Die *absolute* Richtigkeit dieser Prüfdaten ist durch mögliche Softwarefehler und fehlende Konventionen jedoch leider nicht gegeben.

Da einheitliche Konventionen fehlen, können die Prüfdaten zudem wegen nicht rotationssymmetrischer Anschlußpads oder ungenau interpretierter Polygonzüge oder grob aufgelöster Basiskoordinaten verfälscht sein.

Der elektronische Test bestätigt demzufolge also *nicht* die Identität der Leiterplatte mit den CAD-Daten sondern die Identität der Leiterplatte mit den CAM-Daten.

Eine Verbindungsliste im neutralen Gerber-Format könnte diese Lücke problemlos schließen (Bild 18-1).



Bild 18-1 Option : Verbindungslisten im Gerberformat

Im Gegensatz zur elektrischen Konnektivität können geometrische Fehler im Leiterbild nicht detektiert werden. Das gilt vornehmlich für Fehler auf den Außenlagen. Weil diese fast ausschließlich elektronisch geprüft werden, bleiben auf Highspeed-Boards Kurzschlüsse innerhalb eines geometrischen Laufzeitausgleichs oft unentdeckt.

Gleiches gilt für funktionsbeeinträchtigende Beschädigungen am Bild von HF-Leiterplatten (Bild 18-2).

Mechanik/Bohren Bohrungen sorgen für den Signaltransfer über mehrere Lagen, für die mechanische Aufnahme bedrahteter Bauteile und für die Befestigung der Baugruppe im Gerät.

CAM muß im Zuge der Dateneingangsprüfung die funktionale und technische Eignung einer Bohrung prüfen. Das setzt eine detaillierte Dokumentation der Bohrungen voraus.

Jede der beiden Bohrklassen DK (= durchkontaktiert) oder NDK (= nicht durchkontaktiert) muß als separates File für CAM zur Verfügung stehen. Innerhalb der Klasse DK müssen die Typen "Blind Via", "Buried Via" und "Durchkontaktierung" unterschieden werden. Innerhalb des Typs "Blind Via"

muß die Orientierung "topseitig" oder "bottomseitig" unterschieden werden sowie die Qualität "Bohren" oder "Lasern".

Die Verifikation der Bohrungsparameter ist sehr umfassend und nur in Kombination mit weiteren Informationen verbindlich möglich.

Ob eine partielle Bohrung (i.e. Buried Via oder Blind Via) auf einer Leiterplatte umsetzbar ist, hängt vom Lagenaufbau ab.

Dieser muß CAM vorliegen, weil sonst eine Beurteilung der zu kontaktierenden Teilbereich nicht möglich ist.

Für die Beurteilung der technischen Kontaktierbarkeit einer Bohrung muß zudem das AspektRatio bekannt sein, das von der Anlagentechnik des Leiterplattenherstellers mit Blick auf die Kontaktierbarkeit realisiert werden kann.

Die Dokumentation (der sogenannte "Drill Report") vieler CAD-Systeme ist unvollkommen, weil sie die Bohrwerkzeuge üblicherweise einheitlich in der Rubrik "Tool Diameter" (= Werkzeugdurchmesser) listet.

Der Begriff ist irreführend. Eigentlich ist unter dieser Rubrik der Enddurchmesser (= Final Diameter) auf der fertigen Leiterplatte gemeint.

Für nichtkontaktierte Bohrungen sind Werkzeugdurchmesser und Enddurchmesser normalerweise identisch.

Bei kontaktierten Bohrungen muß der Werkzeugdurchmesser größer als der Enddurchmesser sein, weil die Metallisierung der Hülse den Enddurchmesser immer verringert. Die Verringerung liegt bei ca. 50µm bei einer Kupferschichtdicke in der Hülse von umlaufend 25µm. Je nach Endoberfläche kommen umlaufend weitere ca. 20µm dazu (..... bei HAL) oder ca. 5µm (....bei ENIG).

Mit der Prozessierung von durchgehenden Viabohrungen mit einem Enddurchmesser ≤ 250µm wird der Zuschlag auf den Werkzeugdurchmesser herstellertypisch uneinheitlich vergeben.

Ein uneinheitlicher Zuschlag hat allerdings auch eine uneinheitliche Entwärmungskapazität zur Folge. Ein wesentlicher Parameter für die Funktion der Baugruppe ist damit nicht sicher reproduzierbar.



Bild 18-2 Elektrisch nicht prüfbare Strukturen

Dokumentation : Bohrplan / Tool-Liste

Regel (Toolliste)

In der Toolliste müssen der Enddurchmesser, der Lochdurchmesser und die vorgesehene Fertigungstechnologie verbindlich beschrieben sein.

Nr.	End Ø	Loch Ø	Klasse	Fertigung	Typ	Anzahl	Symbol
T1	0.050 mm	0.100 mm	Via	Lasern	DK	127	◇
T2	0.150 mm	0.225 mm	Via	Bohren	DK	81	⊗
T3	0.850 mm	0.950 mm	Bauteil	Bohren	DK	52	○
T4	0.900 mm	1.000 mm	Bauteil	Bohren	DK	68	□
T5	1.200 mm	1.300 mm	Bauteil	Bohren	DK	8	⊖
T6	2.000 mm	2.100 mm	Bauteil	Bohren	DK	5	◇
T7	3.000 mm	3.100 mm	Bauteil	Bohren	DK	2	◇
T8	4.500 mm	4.500 mm	Mechanik	Bohren	NDK	7	⊞
T9	5.800 mm	5.800 mm	Mechanik	Bohren	NDK	1	⊞

Bild 18-3 Differenzierte Angabe der Bohrwerkzeuge

Das kann zu einer deutlichen Einschränkung in der Langzeitzuverlässigkeit der Baugruppe führen.

Wenn CAM eine verbindliche Verifikation umsetzen soll, dann muß der Drill-Report differenzierter sein (Bild 18-3), als das heute üblich ist. Ergänzend zur Angabe des "Tool Diameters" (...als Enddurchmesser) müssen der zugeordnete diskrete Bohrwerkzeugdurchmesser angegeben werden und sogar die einzusetzende Prozeßtechnologie (i.e. Bohren oder Lasern).

Mechanik/Kontur Eine sehr komplexe Aufgabenstellung ist die Verifizierung der Leiterplattenkontur. Der Umschnitt für eine einzelne Leiterplatte oder für einen Liefernoteil kann heute geritzt, gefräst, gesägt und/oder perforiert sein. Bei flexiblen und starrflexiblen Leiterplatten kommt noch das vollständige oder abschnittsweise Lasern der Kontur dazu.

Das CAD-System gibt dazu keine oder nur rudimentäre Daten an CAM weiter. Die minimale Dokumentation besteht üblicherweise nur in der vektorisierten Konturlinie, die als (...Gerber-) File weitergegeben wird. Eine explizite Bemaßung von Längen und Radien fehlt meistens. Die Referenzbemaßung einer Bohrposition zu einer Ecke der Kontur fehlt fast immer.

CAM muß diese Dokumente mit eigenem Kosten- und Personalaufwand erstellen oder zumindest vervollständigen. Erst dann ist eine Prüfung der mechanischen Vorgaben während der Fertigung der Leiterplatte und später während der Wareneingangskontrolle überhaupt möglich.

Wenn die Kontur gefräst werden soll, dann müssen die Daten um etliche Parameter ergänzt werden. Die Aufnahmepositionen des Produktionszuschnittes, die Ein- und Austauschpunkte des Fräswerkzeuges, die Drehzahl und der Vorschub, der Werkzeugoffset und die umlaufende Fräsrichtung sowie die Reihenfolge der Konturabschnitte müssen vor Fertigungsbeginn verbindlich festgelegt werden.

Dokumentation Die vorausschauende und nachvollziehbare Dokumentation der Leiterplatte ist unverändert von höchster Bedeutung für die Produktion einer Leiterplatte und der dazugehörigen Baugruppe.

Die Verifikation einer Leiterplatte fängt bereits weit im Vorfeld der Fertigung an. Im Prinzip muß der Lagenaufbau mit Abschluß der Arbeit am Schaltplan schon verbindlich vorliegen. Der Leiterplattenhersteller kann dann früh beurteilen, ob das vorgesehene Konzept erfolgversprechend ist. Details hierzu wurden in den Folgen 10 und 11 dieser Serie beschrieben (i.e. Konstruktion und Dokumentation von Multilayersystemen).

Der weitreichende Nutzen der Dokumentation soll am **Kontur-Maß-Bohrplan** (= KMB-Plan) erläutert werden. Das erfolgreiche Zusammenspiel der Leiterplattenmechanik mit der Bestückbarkeit vieler Bauteile und mit der Montage der Baugruppe im Gerätegehäuse erfordert eine gute Kommunikation zwischen den Disziplinen CAD, Leiterplatte und Baugruppe.

Die aussagefähige Qualität eines Konturplans respektive einer Maßzeichnung bestimmt die Qualität dieser Kommunikation. Deshalb müssen die Konturlinie, die Bemaßung, die Bohrwerkzeugdurchmesser und die Agenda auf *einem* Plan untergebracht sein (Bild 18-4).

Ein solcher KMB-Plan muß natürlich immer elektronisch vorliegen und in Kombination mit dem Leiterbild am CAD-System (... und später auch am CAM-System) geprüft werden können.

Er muß aber auch lesbar gedruckt werden können, weil viele Verifikationen parallel zum Fertigungsprozeß ausgeführt werden.

Das Messen von Fräsabschnitten und Lochdurchmessern ist eine übliche Anforderung, um die Richtigkeit soeben durchgeführter Arbeitsgänge zu prüfen.



Für den Wareneingang eines ISO-zertifizierten Leiterplattenherstellers ist der KMB-Plan weiterhin genauso unverzichtbar, wie für den Wareneingang des gleichfalls ISO-zertifizierten Empfängers der Leiterplatten.

Weil Notizen und Hilfsinformationen vor Ort einfach aufgeschrieben werden können, ist das Handling eines gedruckten Planes einfacher und praktikabler, als die oft umständliche Manipulation eines elektronischen Datensatzes.

Die zunehmende Verarbeitungsgeschwindigkeit von Daten in elektronischen Systemen führt immer zu Highspeed-Baugruppen, die wiederum auf einer Highspeed-Leiterplatte basieren.

Das erfordert die Verifikation der Signallaufzeiten auf der Leiterplatte.

Wenn die spätere elektrophysikalische Funktion der Leiterplatte im Vorfeld sichergestellt werden soll, dann führt die heute etablierte Testvariante stets über die Messung der Impedanz auf den Signalleitbahnen.

Auch diese Qualität ist disziplinübergreifend, weil sie von der Konstruktion des Schaltplanes ausgehend über die geometrischen Constraints für das CAD-Layout erst auf der Leiterplatte Wirklichkeit wird und verifiziert werden kann.

Die Inflation der Impedanzvarianten führt inzwischen zu unterschiedlichen Impedanzwerten auf mehreren Innenlagen und natürlich auch auf den Außenlagen. Das erfordert die Konstruktion individualisierter Coupons auf den betroffenen Layern durch die CAM des Leiterplattenherstellers.

Eine auch nachträglich aussagefähige Dokumentation geht dann nur noch mit Hilfe von produktbezogenen Datenbanken, wenn die verifizierten Impedanzwerte langfristig und kritiksicher zur Verfügung stehen müssen.

Es gibt viele weitere Qualitäten, die auf einer Leiterplatte geprüft werden müssen. Die Haftung von Lötstoplacken auf der Leiterplattenoberfläche, die Haftung der Endoberfläche auf dem Kupfer, die Benetzbarkeit der Endoberfläche durch Lote, der Lagenversatz in einem Multilayer, die Kontinuität der Hülsenkupferdicke sind einige davon.

Für den Leiterplattenhersteller heißt das: Prüfen, Prüfen, Prüfen.

Nicht zuletzt mit einem technischen, wirtschaftlichen und personellen Einsatz, der fast schon über dem reinen Aufwand für die Fertigung der Leiterplatten liegt.

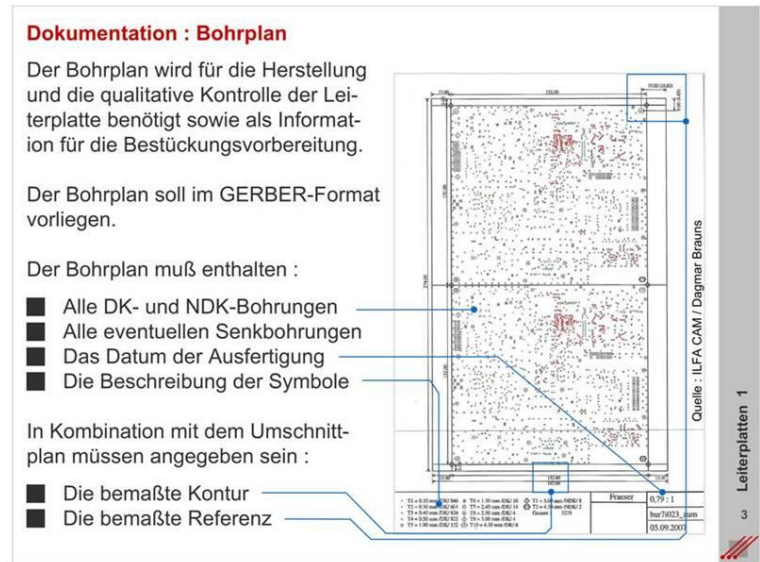


Bild 18-4 Vollständiger Kontur-Maß-Bohrplan

Hinweis

Die an einer Leiterplatte vorgenommenen Verifikationen sollten dem Kunden im Detail bekannt sein.

Die pauschale Bestellanforderung "...Fertigung nach IPC" täuscht eine trügerische Sicherheit vor. Der Flut heutiger Technologievarianten kann *keine* Richtlinie zeitnah gerecht werden. Sie müssen Ihre Forderungen immer selbst festlegen und formulieren.

Stimmen Sie sich mit Ihren Leiterplatten- und/oder Baugruppenproduzenten ab.

